

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日 2 0 0 0 年 1 2 月 2 1 日
Date of Application:

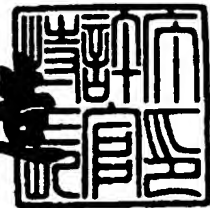
出 願 番 号 平成 1 2 年 特 許 願 第 3 8 9 1 0 6 号
Application Number:

出 願 人 株式会社東芝
Applicant(s):

2 0 0 1 年 9 月 2 7 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 00P395

【提出日】 平成12年12月21日

【あて先】 特許庁長官 殿

【国際特許分類】

H01L 27/00

【発明の名称】 半導体メモリ装置及びその製造方法

【請求項の数】 14

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内

【氏名】 大澤 隆

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100092820

【弁理士】

【氏名又は名称】 伊丹 勝

【電話番号】 03-5216-2501

【先の出願に基づく優先権の主張】

【出願番号】 平成12年特許願第247735号

【出願日】 平成12年 8月17日

【手数料の表示】

【予納台帳番号】 026893

【納付金額】 21,000

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】要約書 Ⅰ

【包括委任状番号】9810498

【ブルーフの要否】要

【書類名】 明細書

【発明の名称】 半導体メモリ装置及びその製造方法

【特許請求の範囲】

【請求項1】 1ビットのメモリセルが他から電氣的に分離されたフローティングの半導体層に形成された一つのトランジスタにより構成され、

前記トランジスタは、第1導電型の前記半導体層に互いに離隔して形成された第2導電型のドレイン及びソース拡散層と、これらのドレイン及びソース拡散層の間の前記半導体層上にゲート絶縁膜を介して形成されたゲート電極とを有し、

前記トランジスタのゲート電極はワード線に、ドレイン拡散層はビット線に、ソース拡散層は固定電位線にそれぞれ接続され、

前記トランジスタは、前記半導体層に過剰の多数キャリアが保持された第1のしきい値電圧を有する第1データ状態と、前記半導体層の過剰の多数キャリアが放出された第2のしきい値電圧を有する第2データ状態とをダイナミックに記憶し、且つ任意のビット単位でのデータ書き換えを可能としたことを特徴とする半導体メモリ装置。

【請求項2】 前記第1データ状態は、前記トランジスタを動作させることによりドレイン接合近傍でインバクトイオン化を起こして、生成された過剰の多数キャリアを前記半導体層に保持することにより書き込まれ、

前記第2データ状態は、前記ゲート電極からの容量結合により所定電位が与えられた前記半導体層と前記ドレイン拡散層との間に順方向バイアスを与えて、前記半導体層の過剰の多数キャリアをドレイン拡散層に引き抜くことにより書き込まれる

ことを特徴とする請求項1記載の半導体メモリ装置。

【請求項3】 前記半導体層は、シリコン基板に絶縁膜を介して形成されたシリコン層である

ことを特徴とする請求項1又は2記載の半導体メモリ装置。

【請求項4】 前記シリコン層がp型であり、前記トランジスタがNチャネルMOSトランジスタである

ことを特徴とする請求項3記載の半導体メモリ装置。

【請求項5】 データ書き込み時、前記固定電位線を基準電位として、選択ワード線に前記基準電位より高い第1の電位を与え、非選択ワード線に前記基準電位より低い第2の電位を与え、ビット線には第1及び第2データ状態に応じてそれぞれ前記基準電位より高い第3の電位及び前記基準電位より低い第4の電位を与えるようにした

ことを特徴とする請求項4記載の半導体メモリ装置。

【請求項6】 データ読み出し時、前記固定電位線を基準電位として、選択ワード線に前記第1のしきい値電圧と第2のしきい値電圧の間にある前記基準電位より高い第5の電位を与え、選択されたメモリセルの導通又は非導通を検出する

ことを特徴とする請求項5記載の半導体メモリ装置。

【請求項7】 データ読み出し時、前記固定電位線を基準電位として、選択ワード線に前記第1及び第2のしきい値電圧より高く且つ前記基準電位より高い第5の電位を与え、選択されたメモリセルの導通度を検出するようにした

ことを特徴とする請求項5記載の半導体メモリ装置。

【請求項8】 シリコン基板に絶縁膜を介してシリコン層が形成されたSOI基板と、

このSOI基板のシリコン層に形成され、ドレイン拡散層を共有する二つずつがチャンネル幅方向に素子分離されてマトリクス配列されたトランジスタと、

一方向に並ぶトランジスタのゲート電極に共通接続されたワード線と、

このワード線と交差する方向に配設されて前記トランジスタのドレイン拡散層に接続されるビット線と、

前記トランジスタのソース拡散層が前記ワード線方向に連続的に配設されて固定電位が与えられる共通ソース線とを備え、

前記トランジスタは、バルク領域に過剰の多数キャリアが保持された第1のしきい値電圧を有する第1データ状態と、前記バルク領域の過剰の多数キャリアがドレイン拡散層に放出された第2のしきい値電圧を有する第2データ状態とをダイナミックに記憶する

ことを特徴とする半導体メモリ装置。

【請求項 9】 前記トランジスタは、最小加工寸法を F として、 $2F \times 2F$ のセルサイズでマトリクス配列されてメモリセルアレイが構成されていることを特徴とする請求項 8 記載の半導体メモリ装置。

【請求項 10】 前記ドレイン拡散層及びソース拡散層は、前記シリコン層の底部の前記絶縁膜に達する深さに形成されていることを特徴とする請求項 8 記載の半導体メモリ装置。

【請求項 11】 前記半導体層は、前記ドレイン及びソース拡散層に接する第 1 の不純物添加領域と、前記ドレイン及びソース拡散層から離れてチャネル長方向の中央部に配置された前記第 1 の不純物添加領域より高不純物濃度の第 2 の不純物添加領域とを有することを特徴とする請求項 1 記載の半導体メモリ装置。

【請求項 12】 前記ドレイン及びソース拡散層のうち少なくともドレイン拡散層が、前記第 1 の不純物添加領域に接して $p-n$ 接合を構成する第 3 の不純物添加領域と、前記第 1 の不純物添加領域から離れた位置に形成された前記第 3 の不純物添加領域より高不純物濃度の第 4 の不純物添加領域とを有することを特徴とする請求項 11 記載の半導体メモリ装置。

【請求項 13】 半導体基板上に絶縁膜により分離されて形成された第 1 導電型の半導体層上に、ゲート電極形成領域に開口を有するマスクを形成する工程と、

前記マスクの開口側壁に側壁絶縁膜を形成する工程と、

前記マスクの開口を介して前記半導体層に不純物を導入して、前記半導体層より高不純物濃度で第 1 導電型の不純物添加層を形成する工程と、

前記側壁絶縁膜を除去した後、前記マスクの開口にゲート絶縁膜を介してゲート電極を埋め込む工程と、

前記マスクを除去した後、前記半導体層に不純物を導入することにより、第 2 導電型のドレイン及びソース拡散層を形成する工程とを有することを特徴とする半導体メモリ装置の製造方法。

【請求項 14】 半導体基板上に絶縁膜により分離されて形成された第 1 導電型の半導体層上に、ゲート電極形成領域に開口を有するマスクを形成する工程

と、

前記マスクの開口側壁に第1の側壁絶縁膜を形成する工程と、

前記マスクの開口を介して前記半導体層に不純物を導入して、前記半導体層より高不純物濃度で第1導電型の第1の不純物添加層を形成する工程と、

前記第1の側壁絶縁膜を除去した後、前記マスクの開口にゲート絶縁膜を介してゲート電極を埋め込む工程と、

前記マスクを除去した後、前記半導体層に不純物を導入することにより、ドレイン及びソース領域に第2導電型の第2の不純物添加層を形成する工程と、

前記ゲート電極の側壁に第2の側壁絶縁膜を形成する工程と、

前記半導体層に不純物を導入することにより、ドレイン及びソース領域に前記第2の不純物添加層より高不純物濃度で第2導電型の第3の不純物添加層を形成する工程と

を有することを特徴とする半導体メモリ装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、ダイナミック型半導体メモリ装置（DRAM）に関する。

【0002】

【従来の技術】

従来のDRAMは、MOSトランジスタとキャパシタによりメモリセルが構成されている。DRAMの微細化は、トレンチキャパシタ構造やスタックドキャパシタ構造の採用により大きく進んでいる。現在、単位メモリセルの大きさ（セルサイズ）は、最小加工寸法を F として、 $2F \times 4F = 8F^2$ の面積まで縮小されている。つまり、最小加工寸法 F が世代と共に小さくなり、セルサイズを一般に αF^2 としたとき、係数 α も世代と共に小さくなり、 $F = 0.18 \mu\text{m}$ の現在、 $\alpha = 8$ が実現されている。

【0003】

今後も従来と変わらないセルサイズ或いはチップサイズのトレンドを確保するためには、 $F < 0.18 \mu\text{m}$ では、 $\alpha < 8$ 、更に $F < 0.13 \mu\text{m}$ では、 $\alpha < 6$

を満たすことが要求され、微細加工と共に如何にセルサイズを小さい面積に形成するかが大きな課題になる。そのため、1トランジスタ/1キャパシタのメモリセルを $6F^2$ や $4F^2$ の大きさにする提案も種々なされている。しかし、トランジスタを縦型にしなければならないといった技術的困難や、隣接メモリセル間の電氣的干渉が大きくなるといった問題、更に加工や膜生成等の製造技術上の困難があり、実用化は容易ではない。

【0004】

これに対して、キャパシタを用いず、1トランジスタをメモリセルとするDRAMの提案も、以下に挙げるようにいくつかなされている。

①JOHN E. LEISS et al. "DRAM Design Using the Taper-Isolated Dynamic Cell" (IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. SC-17, NO. 2, APRIL 1982, pp337-344)

②特開平3-171768号公報

③Marnix R. Tack et al. "The Multistable Charge-Controlled Memory Effect in SOI MOS Transistors at Low Temperatures" (IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 37, MAY, 1990, pp1373-1382)

④Hsing-jen Wann et al. "A Capacitorless DRAM Cell on SOI Substrate" (IEDM 93, pp635-638)

【0005】

【発明が解決しようとする課題】

①のメモリセルは、埋め込みチャネル構造のMOSトランジスタを用いて構成される。素子分離絶縁膜のテーパ部に形成される寄生トランジスタを利用して、表面反転層の充放電を行い、二値記憶を行う。

②のメモリセルは、個々にウェル分離されたMOSトランジスタを用い、MOSトランジスタのウェル電位により決まるしきい値を二値データとする。

③のメモリセルは、SOI基板上的のMOSトランジスタにより構成される。SOI基板の側から大きな負電圧を印加してシリコン層の酸化膜と界面部でのホール蓄積を利用し、このホールの放出、注入により二値記憶を行う。

④のメモリセルは、SOI基板上的のMOSトランジスタにより構成される。M

OSトランジスタは構造上一つであるが、ドレイン拡散層の表面に重ねて逆導電型層が形成され、実質的に書き込み用PMOSトランジスタと読み出し用NMOSトランジスタを一体に組み合わせた構造としている。NMOSトランジスタの基板領域をフローティングのノードとして、その電位により二値データを記憶する。

【0006】

しかし、①は構造が複雑であり、寄生トランジスタを利用していることから、特性の制御性にも難点がある。②は、構造は単純であるが、トランジスタのドレイン、ソース共に信号線に接続して電位制御する必要がある。また、ウェル分離であるため、セルサイズが大きく、しかもビット毎の書き換えができない。③では、SOI基板側からの電位制御を必要としており、従ってビット毎の書き換えができず、制御性に難点がある。④は特殊トランジスタ構造を必要とし、またメモリセルには、ワード線、ライトビット線、リードビット線、バージ線を必要とするため、信号線数が多くなる。

【0007】

この発明は、単純なトランジスタ構造をメモリセルとして、少ない信号線で二値データのダイナミック記憶を可能とした半導体メモリ装置及びその製造方法を提供することを目的としている。

【0008】

【課題を解決するための手段】

この発明に係る半導体メモリ装置は、1ビットのメモリセルが他から電氣的に分離されたフローティングの半導体層に形成された一つのトランジスタにより構成され、前記トランジスタは、前記半導体層に互いに離隔して形成されたドレイン及びソース拡散層と、これらのドレイン及びソース拡散層の間の前記半導体層上にゲート絶縁膜を介して形成されたゲート電極とを有し、前記トランジスタのゲート電極はワード線に、ドレイン拡散層はビット線に、ソース拡散層は固定電位線にそれぞれ接続され、前記トランジスタは、前記半導体層に過剰の多数キャリアが保持された第1のしきい値電圧を有する第1データ状態と、前記半導体層の過剰の多数キャリアが放出された第2のしきい値電圧を有する第2データ状態

とをダイナミックに記憶し且つ、任意のビット単位でのデータ書き換えを可能としたことを特徴としている。

【0009】

この発明において、より具体的には、第1データ状態は、トランジスタを動作させることによりドレイン接合近傍でインパクトイオン化を起こして、生成された過剰の多数キャリアを前記半導体層に保持することにより書き込まれ、第2データ状態は、ゲート電極からの容量結合により所定電位が与えられた半導体層とドレイン拡散層との間に順方向バイアスを与えて、半導体層の過剰の多数キャリアをドレイン拡散層に引き抜くことにより書き込まれる。

【0010】

この発明において、好ましくは、半導体層は、シリコン基板に絶縁膜を介して形成されたシリコン層である。更にこの場合、より好ましくは、シリコン層がp型であり、トランジスタがNチャネルMOSトランジスタであるものとする。

【0011】

この発明による半導体メモリ装置では、データ書き込み時、固定電位線を基準電位として、選択ワード線に基準電位より高い第1の電位を与え、非選択ワード線に基準電位より低い第2の電位を与え、ビット線には第1及び第2データ状態に応じてそれぞれ基準電位より高い第3の電位及び基準電位より低い第4の電位を与える。これにより、ビット線から第1データが与えられた選択セルでは、トランジスタが5極管動作し、ドレイン接合近傍の半導体層内でインパクトイオン化が起こって、生成された過剰のホールが半導体層に注入保持される。また第2データが与えられた選択セルでは、ドレイン拡散層と半導体層の間が順バイアスとなり、半導体層の過剰ホールがドレイン拡散層に放出される。

【0012】

データ読み出しは、選択ワード線に第1のしきい値電圧と第2のしきい値電圧の間にある基準電位より高い第5の電位を与え、選択されたメモリセルの導通又は非導通を検出する方式が用いられる。或いは、選択ワード線に第1及び第2のしきい値電圧より高く且つ基準電位より高い第5の電位を与え、選択されたメモリセルの導通度を検出するようにしてもよい。

【0013】

この発明による半導体メモリ装置では、トランジスタは、最小加工寸法を F として、 $2F \times 2F$ のセルサイズでマトリクス配列されてメモリセルアレイが構成される。

【0014】

この発明によると、一つのメモリセルは、フローティングの半導体層をバルク領域として持つ単純な一つのトランジスタにより形成され、セルサイズを $4F^2$ と小さくすることができる。トランジスタのソースは固定電位線に接続され、また半導体層に対するバックゲートバイアス制御を行うことなく、ドレインに接続されたビット線とゲート電極に接続されたワード線の制御のみによって、読み出し、書き換え及びリフレッシュの制御が行われる。即ち任意ビット単位でのデータ書き換えも可能である。

また、この発明によるメモリセルは基本的に非破壊読み出しであるので、センスアンプをビット線毎に設ける必要がなく、言い換えれば、ワード線により同時に選択されるメモリセルの全てに対してセンスアンプを設ける必要がなく、従ってセンスアンプのレイアウトは容易になる。更に、メモリセルは電流読み出しであるので、耐ノイズ性に優れており、オープンビット線方式を用いることもできる。

【0015】

この発明によるメモリセルは、二値データであるしきい値電圧の高い状態と低い状態を、それらのしきい値電圧の差が大きい状態で記憶することが好ましい。またデータは、フローティングの半導体層の電荷蓄積状態として保持されるため、リーク電流ができる限り小さいことが望まれる。これらの要求を満たすための好ましい構造として、バルク領域となる半導体層は、ドレイン及びソース拡散層に接する第1の不純物添加領域と、ドレイン及びソース拡散層から離れてチャンネル長方向の中央部に配置された第1の不純物添加領域より高不純物濃度の第2の不純物添加領域とを有するものとする。

更に好ましくは、ドレイン及びソース拡散層のうち少なくともドレイン拡散層が、第1の不純物添加領域に接してpn接合を構成する第3の不純物添加領域と

、第1の不純物添加領域から離れた位置に形成された前記第3の不純物添加領域より高不純物濃度の第4の不純物添加領域とを有する構造とする。

【0016】

また、バルク領域中央部に高濃度層を持つメモリセルを形成するための、この発明による半導体メモリ装置の製造方法は、半導体基板上に絶縁膜により分離されて形成された第1導電型の半導体層上に、ゲート電極形成領域に開口を有するマスクを形成する工程と、前記マスクの開口側壁に側壁絶縁膜を形成する工程と、前記マスクの開口を介して前記半導体層に不純物を導入して、前記半導体層より高不純物濃度で第1導電型の不純物添加層を形成する工程と、前記側壁絶縁膜を除去した後、前記マスクの開口にゲート絶縁膜を介してゲート電極を埋め込む工程と、前記マスクを除去した後、前記半導体層に不純物を導入することにより、第2導電型のドレイン及びソース拡散層を形成する工程とを備える。

【0017】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態を説明する。

図1はこの発明によるDRAMの単位メモリセルの断面構造を示し、図2はその等価回路を示している。メモリセルMCは、SOI構造のNチャネルMOSトランジスタにより構成されている。即ち、シリコン基板10上に絶縁膜としてシリコン酸化膜11が形成され、このシリコン酸化膜11上にp型シリコン層12が形成されたSOI基板が用いられている。この基板のシリコン層12上に、ゲート酸化膜16を介してゲート電極13が形成され、ゲート電極13に自己整合されてn型ソース、ドレイン拡散層14、15が形成されている。

【0018】

ソース、ドレイン拡散層14、15は、底部のシリコン酸化膜11に達する深さに形成されている。従って、p型シリコン層12からなるバルク領域は、チャネル幅方向（図の紙面に直交する方向）の分離を酸化膜で行うとすれば、底面及びチャネル幅方向の側面が他から絶縁分離され、チャネル長方向はpn接合分離されたフローティング状態になる。

このメモリセルMCをマトリクス配列する場合、ゲート電極13はワード線W

Lに接続され、ソース拡散層15は固定電位線（接地電位線）に接続され、ドレイン拡散層14はビット線BLに接続される。

【0019】

図3は、メモリセルアレイのレイアウトを示し、図4（a），（b）はそれぞれ図3のA-A'，B-B'断面を示している。p型シリコン層12は、シリコン酸化膜21の埋め込みにより、格子状にパターン形成される。即ちドレインを共有する二つのトランジスタの領域がワード線WL方向にシリコン酸化膜21により素子分離されて配列される。或いはシリコン酸化膜21の埋め込みに代わって、シリコン層12をエッチングすることにより、横方向の素子分離を行っても良い。ゲート電極13は一方向に連続的に形成されて、これがワード線WLとなる。ソース拡散層15は、ワード線WL方向に連続的に形成されて、これが固定電位線（共通ソース線）となる。トランジスタ上は層間絶縁膜23で覆われこの上にビット線BLが形成される。ビット線BLは、二つのトランジスタで共有するドレイン拡散層14にコンタクトして、ワード線WLと交差するように配設される。

【0020】

これにより、各トランジスタのバルク領域であるシリコン層12は、底面及びチャネル幅方向の側面が酸化膜により互いに分離され、チャネル長方向にはpn接合により互いに分離されてフローティング状態に保たれる。

そしてこのメモリセルアレイ構成では、ワード線WLおよびビット線BLを最小加工寸法Fのピッチで形成したとして、単位セル面積は、図3に破線で示したように、 $2F \times 2F = 4F^2$ となる。

【0021】

このNMOSトランジスタからなるDRAMセルの動作原理は、MOSトランジスタのバルク領域（他から絶縁分離されたp型シリコン層12）の多数キャリアであるホールの蓄積を利用する。即ち、MOSトランジスタを5極管領域で動作させることにより、ドレイン拡散層14から大きな電流を流し、ドレイン拡散層14の近傍でインバクトイオン化を起こす。このインバクトイオン化により生成される過剰の多数キャリアであるホールをp型シリコン層12に保持させ、そ

のホール蓄積状態（熱平衡状態より電位が高い状態）を例えばデータ“1”とする。ドレイン拡散層14とp型シリコン層12の間のpn接合を順方向バイアスして、p型シリコン層12の過剰ホールをドレイン側に放出した状態をデータ“0”とする。

【0022】

データ“0”，“1”は、バルク領域の電位の差であり、MOSトランジスタのしきい値電圧の差として記憶される。即ち、ホール蓄積によりバルク領域の電位が高いデータ“1”状態のしきい値電圧 V_{th1} は、データ“0”状態のしきい値電圧 V_{th0} より低い。バルク領域に多数キャリアであるホールを蓄積した“1”データ状態を保持するためには、ワード線には負のバイアス電圧を印加することが必要になる。このデータ保持状態は、逆データの書き込み動作（消去）を行わない限り、読み出し動作を行っても変わらない。即ち、キャパシタの電荷蓄積を利用する1トランジスタ／1キャパシタのDRAMと異なり、非破壊読み出しが可能である。

【0023】

データ読み出しの方式には、いくつか考えられる。ワード線電位 V_w とバルク電位 V_B の関係は、データ“0”，“1”と関係で図5のようになる。従ってデータ読み出しの第1の方法は、ワード線WLにデータ“0”，“1”のしきい値電圧 V_{th0} ， V_{th1} の間になる読み出し電位を与えて、“0”データのメモリセルでは電流が流れず、“1”データのメモリセルでは電流が流れることを利用する。具体的には例えば、ビット線BLを所定の電位 V_{BL} にプリチャージして、その後ワード線WLを駆動する。これにより、図6に示すように、“0”データの場合、ビット線プリチャージ電位 V_{BL} の変化がなく、“1”データの場合はプリチャージ電位 V_{BL} が低下する。

【0024】

第2の読み出し方式は、ワード線WLを立ち上げてから、ビット線BLに電流を供給して、“0”，“1”の導通度に応じてビット線電位の上昇速度が異なることを利用する。簡単には、ビット線BLを0Vにプリチャージし、図7に示すようにワード線WLを立ち上げて、ビット線電流を供給する。このとき、ビット

線の電位上昇の差をダミーセルを利用して検出することにより、データ判別が可能となる。

【0025】

第3の読み出し方式は、ビット線BLを所定の電位にクランプしたときの、“0”，“1”で異なるビット線電流の差を読む方式である。電流差を読み出すには、電流－電圧変換回路が必要であるが、最終的には電位差を差動増幅して、センス出力を出す。

【0026】

この発明において、選択的に“0”データを書き込むためには、即ちメモリセルアレイのなかで選択されたワード線WLとビット線BLの電位により選択されたメモリセルのバルク領域のみから過剰ホールを放出させるには、ワード線WLとバルク領域の間の容量結合が本質的になる。その詳細検討は後述するが、データ“1”でバルク領域にホールが蓄積された状態は、ワード線を十分負方向にバイアスして、メモリセルのゲート・基板間容量が、ゲート酸化膜容量となる状態（即ち表面に空乏層が形成されていない状態）で保持することが必要である。

また、書き込み動作は、“0”，“1”共に、パルス書き込みとして消費電力を減らすことが好ましい。“0”書き込み時、選択トランジスタのバルク領域からドレインにホール電流が、ドレインからバルク領域に電子電流が流れるが、バルク領域にホールが注入されることはない。

【0027】

より具体的な動作波形を説明する。図8～図11は、選択セルによるビット線の放電の有無によりデータ判別を行う第1の読み出し方式を用いた場合のリード／リフレッシュ及びリード／ライトの動作波形である。

図8及び図9は、それぞれ“1”データ及び“0”データのリード／リフレッシュ動作である。時刻 t_1 までは、データ保持状態（非選択状態）であり、ワード線WLには負電位が与えられている。時刻 t_1 でワード線WLを正の所定電位に立ち上げる。このときワード線電位は、“0”，“1”データのしきい値 V_{th0} ， V_{th1} の間に設定する。これにより、“1”データの場合、予めプリチャージされていたビット線VBLは放電により低電位になる。“0”データの場合

合はビット線電位 V_{BL} は保持される。これにより “ 1 ” , “ 0 ” データが判別される。

【 0 0 2 8 】

そして、時刻 t_2 で、ワード線 WL の電位を更に高くし、同時に読み出しデータが “ 1 ” の場合には、ビット線 BL に正電位を与え（図 8）、読み出しデータが “ 0 ” の場合はビット線 BL に負電位を与える（図 9）。これにより、選択メモリセルが “ 1 ” データの場合、5 極管動作により大きなチャネル電流が流れてインバクトイオン化が起こり、バルク領域に過剰のホールが注入保持されて再度 “ 1 ” データが書き込まれる。“ 0 ” データの場合には、ドレイン接合が順方向バイアスになり、バルク領域に過剰ホールが保持されていない “ 0 ” データが再度書き込まれる。

【 0 0 2 9 】

そして、時刻 t_3 でワード線 WL を負方向にバイアスして、リード／リフレッシュ動作を終了する。“ 1 ” データ読み出しを行ったメモリセルと同じビット線 BL につながる他の非選択メモリセルでは、ワード線 WL が負電位、従ってバルク領域が負電位に保持されて、インバクトイオン化は起こらない。“ 0 ” データ読み出しを行ったメモリセルと同じビット線 BL につながる他の非選択メモリセルでは、やはりワード線 WL が負電位に保持されて、ホール放出は起こらない。

【 0 0 3 0 】

図 1 0 及び図 1 1 は、同じ読み出し方式によるそれぞれ “ 1 ” データ及び “ 0 ” データのリード／ライト動作である。図 1 0 及び図 1 1 での時刻 t_1 での読み出し動作はそれぞれ、図 8 及び図 9 と同様である。読み出し後、時刻 t_2 でワード線 WL を更に高電位とし、同じ選択セルに “ 0 ” データを書き込む場合には同時に、ビット線 BL に負電位を与え（図 1 0）、 “ 1 ” データを書き込む場合にはビット線 BL に正電位を与える（図 1 1）。これにより、“ 0 ” データが与えられたセルでは、ドレイン接合が順方向バイアスになり、バルク領域のホールが放出される。“ 1 ” データが与えられたセルでは、ドレイン近傍でインバクトイオン化が起こり、バルク領域に過剰ホールが注入保持される。

【 0 0 3 1 】

図12～図15は、ビット線BLを0Vにプリチャージし、ワード線選択後にビット線BLに電流を供給して、ビット線BLの電位上昇速度によりデータ判別を行う第2の読み出し方式を用いた場合のリード／リフレッシュ及びリード／ライトの動作波形である。

図12及び図13は、それぞれ“1”データ及び“0”データのリード／リフレッシュ動作である。負電位に保持されていたワード線WLを、時刻 t_1 で正電位に立ち上げる。このときワード線電位は、図7に示したように、“0”、“1”データのしきい値 V_{th0} 、 V_{th1} のいずれよりも高い値に設定する。或いは、ワード線電位を、第1の読み出し方式と同様に、“0”、“1”データのしきい値 V_{th0} 、 V_{th1} の間に設定してもよい。そして、時刻 t_2 でビット線に電流を供給する。これにより、“1”データの場合、メモリセルが深くオンしてビット線BLの電位上昇は小さく（図12）、“0”データの場合メモリセルの電流が小さく（或いは電流が流れず）、ビット線電位は急速に上昇する。これにより“1”、“0”データが判別される。

【0032】

そして、時刻 t_3 で、読み出しデータが“1”の場合には、ビット線BLに正の電位を与え（図12）、読み出しデータが“0”の場合はビット線BLに負の電位を与える（図13）。これにより、選択メモリセルが“1”データの場合、ドレイン電流が流れてインパクトイオン化が起こり、バルク領域に過剰ホールが注入保持されて再度“1”データが書き込まれる。“0”データの場合には、ドレイン接合が順方向バイアスになり、バルク領域に過剰ホールのない“0”データが再度書き込まれる。

時刻 t_4 でワード線WLを負方向にバイアスして、リード／リフレッシュ動作を終了する。

【0033】

図14及び図15は、同じ読み出し方式によるそれぞれ“1”データ及び“0”データのリード／ライト動作である。図14及び図15での時刻 t_1 及び t_2 での読み出し動作はそれぞれ、図12及び図13と同様である。読み出し後、同じ選択セルに“0”データを書き込む場合には、ビット線BLに負電位を与え（

図14)、“1”データを書き込む場合にはビット線BLに正電位を与える(図15)。これにより、“0”データが与えられたセルでは、ドレイン接合が順方向バイアスになり、バルク領域の過剰ホールが放出される。“1”データが与えられたセルでは、大きなドレイン電流が流れてドレイン近傍でインバクトイオン化が起こり、バルク領域に過剰ホールが注入保持される。

【0034】

以上のようにこの発明によるDRAMセルは、他から電気的に分離されたフローティングのバルク領域を持つ単純なMOSトランジスタにより構成され、 $4F^2$ のセルサイズが実現可能である。また、フローティングのバルク領域の電位制御は、ゲート電極からの容量結合を利用しており、例えばSOI基板裏面からのバックゲート制御は利用していない。ソース拡散層も固定電位である。即ち、読み出し／書き込みの制御は、ワード線WLとビット線BLのみで行われ、簡単である。更にメモリセルは基本的に非破壊読み出しであるので、センスアンプをビット線毎に設ける必要がなく、センスアンプのレイアウトは容易になる。更に電流読み出し方式であるので、ノイズにも強く、例えばオープンビット線方式でも読み出しが可能である。また、メモリセルの製造プロセスも簡単である。

【0035】

また、SOI構造は、今後のロジックLSIの性能向上を考えたときに重要な技術となる。この発明によるDRAMは、この様なSOI構造のロジックLSIとの混載を行う場合にも非常に有望である。キャパシタを用いる従来のDRAMと異なり、ロジックLSIのプロセスと異なるプロセスを必要とせず、製造工程が簡単になるからである。

【0036】

更に、この発明によるSOI構造のDRAMは、従来の1トランジスタ／1キャパシタ型のDRAMをSOI構造とした場合に比べて、優れた記憶保持特性が得られるという利点がある。即ち従来の1トランジスタ／1キャパシタ型のDRAMをSOI構造とすると、フローティングの半導体バルクにホールが蓄積されてトランジスタのしきい値が下がり、トランジスタのサブスレッショルド電流が増加する。これは記憶保持特性を劣化させる。これに対してこの発明による1ト

ランジスタのみのメモリセルでは、記憶電荷を減少させるトランジスタバスは存在せず、データ保持特性は純粹に p n 接合のリークのみで決まり、サブスレッシヨルドリークという問題がなくなる。

【0037】

実際にこの発明によるメモリセルが実用に耐え得るかどうかは、以下に挙げるような判断基準により判断される。

(a) バルク領域のホールの保持特性が十分か否か (10 sec 程度の保持時間が得られるか否か)。

(b) 十分な " 1 " 書き込みの速度が得られるか否か (書き込み速度 10 nsec が可能か、書き込み時に 20 nA 程度以上のバルク電流が得られるか否か)。

(c) " 0 " 書き込みの選択性が十分か (" 0 " データと " 1 " データのバルク電位の差 $\Delta V_B = 1 V$ 程度が得られるか否か)。

(d) ゲートとバルク領域との間の容量が p n 接合容量に比べて十分大きくとれるか、また " 1 " データのしきい値を大きくとれるか。

以下にこれらの判断基準の検証を行う。

【0038】

【メモリセルの容量・保持時間・リーク電流について】

1 G 個のメモリセルを持つ D R A M のメモリセルの記憶保持時間の平均値を $R T = 10 \text{ sec}$ と考える。0.1 μm ルールでメモリセルのゲート酸化膜厚を $t_{ox} = 2.5 \text{ nm}$ とすると、ゲート酸化膜容量は、 $14 \text{ fF} / \text{cm}^2$ であるので、ゲート面積を $0.01 \mu\text{m}^2$ として、ゲート酸化膜容量 C_{ox} は、 $C_{ox} = 0.14 \text{ fF}$ となる。後に説明する p n 接合容量 $C_j = 0.08 \text{ fF}$ を含めると、全容量は $C_{total} = 0.22 \text{ fF}$ となる。

【0039】

このゲート容量に電荷を蓄積した場合、記憶保持時間 $R T = 10 \text{ sec}$ の間に、 $\Delta V = 0.1 V$ の電位変化をさせるセル当たりのリーク電流 $I_{leak/node}$ は、下記数 1 となる。

【0040】

【数 1】

$$I_{\text{leak/node}} = C_{\text{total}} \cdot \Delta V / RT = 2.2 \times 10^{-18} \text{ A/node}$$

【0041】

SOI 基板上のシリコン層の厚みを 100 nm として、pn 接合面積は、 $0.1 \mu\text{m} \times 0.1 \mu\text{m} \times 2 = 0.02 \mu\text{m}^2$ であるので、単位面積当たりのリーク電流 $I_{\text{leak/area}}$ を求めると、下記数 2 となる。

【0042】

【数 2】

$$I_{\text{leak/area}} = 2.2 \times 10^{-18} / 0.02 = 1.1 \times 10^{-16} \text{ A}/\mu\text{m}^2$$

【0043】

SOI 基板上の pn 接合の 2 V 程度の逆バイアス時のリーク電流がこの程度以下であれば、平均セルの記憶保持時間 $RT = 10 \text{ sec}$ が保証されることになり、1 トランジスタ/1 キャパシタの DRAM と同程度の記憶保持特性が得られることになる。ちなみに、これまでのところ、SOI 基板上の pn 接合のリーク電流として、 $1 \sim 3 \times 10^{-17} \text{ A}/\mu\text{m}$ (ワード線方向 $1 \mu\text{m}$ 当たり) という値が報告されている (1995 Symp. VLSI Tech., p. 141)。これからも、上の記憶保持特性が十分実現可能と思われる。

【0044】

["1" 書き込み時間とバルク電流]

書き込み時間は、セルノード (ゲート) の容量とバルク電流 I_{sub} で決まる。ゲート容量は上述のように、 $C_{\text{total}} = 0.22 \text{ fF}$ とする。書き込み時間の仕様を $t_{\text{wr}} = 10 \text{ nsec}$ として、この時間内にバルク領域に $\Delta V = 1 \text{ V}$ の電圧を書き込むのに必要なバルク電流は、下記数 3 となる。

【0045】

【数 3】

$$\begin{aligned} I_{\text{sub}} &= C_{\text{total}} \cdot \Delta V / t_{\text{wr}} \\ &= 0.22 \times 10^{-15} \times 1 / 10 \times 10^{-9} \\ &= 22 \text{ nA} \end{aligned}$$

【0046】

セルトランジスタのチャネルを流れるドレイン電流 I_{ds} が $10 \mu\text{A}$ として、

上のバルク電流 I_{sub} はその約 $2/1000$ である。ドレイン・ソース間電圧 $V_{ds} = 2V$ 程度を与えてインパクトイオン化を起こさせれば、必要なバルク電流を流すことができる。

【0047】

【“0”書き込みの選択性と信号量】

メモリセルの $C-V$ カーブ（ゲート・バルク間の電圧 V_{gb} と容量 C_{gb} の関係）は、図16のようになる。バルク領域のアクセプタ濃度を $N_A = 10^{18}/cm^3$ として、フラットバンド電圧は $V_{FB} = -1.2V$ である。ワード線電圧 $V_{wl} = 1V$ で“1”書き込みを行ったとし（バルク電位 $V_B = 0.6V$ ）、書き込み後、ワード線電位を下げていくと、最初はチャネル反転層によりシールドされているため、容量 C_{gb} はゼロである。また“1”セルのしきい値を $V_{th1} = 0V$ と仮定すれば、ワード線電位を $0V$ まで下げてもバルク電位 V_B は変化せず、容量 C_{gb} が顕在化するの、ワード線電位がしきい値電圧 V_{th1} 即ち、 $V_{wl} = 0V$ の点である。このとき、ゲート・バルク間電圧は $V_{gb} = -0.6V$ である。

【0048】

また、 pn 接合の単位面積当たりの容量は、 $N_A = 10^{18}/cm^3$ で、ドレイン電圧 $V_d = 0V$ の場合、 $4fF/\mu m^2$ である。接合面積が $0.1\mu m \times 0.1\mu m \times 2 = 0.02\mu m^2$ の場合、 pn 接合の容量は、 $C_j = 0.08fF$ となる。図16において、 $V_{gb} = -0.5V$ での C_{gb}/C_{ox} を 0.8 とすると、 $C_{ox} = 0.14fF$ の場合、ゲート電圧のバルク領域に対する容量結合比 λ は、下記数4となる。

【0049】

【数4】

$$\begin{aligned}\lambda &= C_{gb} / (C_{gb} + C_{ox}) \\ &= 0.14 \times 0.8 / (0.14 \times 0.8 + 0.08) \\ &= 0.58\end{aligned}$$

【0050】

従って、ワード線電位が下がってきて、ゲートとバルク間の容量 C_{gb} が見え

始めたときの、ワード線の電位変化に対するバルク領域の電位変化の比は、60%程度である。更にワード線電位を下げると、バルク電位も下がるが、 V_{gb} は $-0.5V$ よりも負側に大きくなっていく。これに伴って、容量 C_{gb} は大きくなり、容量結合によってバルク電位を下げるができる。最終的に、図16に示すようにワード線電位 $V_{wl} = -1.3V$ まで下げたとして、平均の容量結合比 λ を0.6とすると、バルク領域は、最初の $0.6V$ から、 $\Delta V_B = 1.3V \times 0.6 = 0.78V$ だけ下がり、 $-0.18V$ になる。このとき、 $V_{gb} = -1.12V$ である。

【0051】

即ち、過剰ホール注入によりバルク電位が $V_B = 0.6V$ となる“1”データ書き込みを行った後、ワード線電位を $V_{wl} = -1.3V$ としてデータ保持するとき、容量結合によりバルク電位は $-0.18V$ を保持する。この状態で、ある選択セルについてビット線電位を負電位に下げて“0”書き込みを行ってバルク電位を下げる場合、バルク電位が $-0.18V$ 以下になる条件では、ワード線電位が $-1.3V$ の非選択セルにおいてもバルクのホールがドレインに流れて、データが破壊される。従ってデータ破壊を起こさないための“0”データ書き込み時のバルク電位の最小値は $-0.18V$ ということになる。“1”データの書き込み電圧の最大値は、ビルトイン電圧 $0.6V$ であるので、信号量の最大値は、 $0.6V - (-0.18V) = 0.78V$ となる。従って、上述の ΔV_B そのものが“0”データと“1”データの信号量差（バルク電位の差）となる。

【0052】

【非破壊読み出し性の確認】

前述のようにこの発明によるメモリセルは、原理的に非破壊読み出しが行われる。実際に非破壊読み出しを保証するためには、

(1) “0”データのセルに読み出し動作を繰り返しても、バルク領域にホール注入がなされないこと、

(2) “1”データのセルに読み出し動作を繰り返しても、バルク領域のホールがなくなること、

を確認することが必要である。

【0053】

このときの繰り返し回数の最大値 N_{max} は、あるリフレッシュと次のリフレッシュの間（例えば 128 msec ）に、同一セルについて読み出し動作（ 100 nsec ）を連続させた場合に相当するので、 $N_{max} = 128\text{ msec} / 100\text{ nsec} = 1.28 \times 10^{16}$ 回程度となる。バルクのホール蓄積状態を保持する“0”データの非破壊性（1）の方がクリティカルになると思われる。従って読み出し時電流を流すとしても、例えば $V_{ds} = 0.5\text{ V}$ 程度での低電流の線形領域での読み出しを行うことが必要であろう。或いは先の第1の読み出し方式のように、“0”データのセルには電流を流さない方式を採用することが、非破壊性を保証する上で好ましい。

【0054】

以上において、この発明によるDRAMの基本的な実現可能性を示す判断基準の検証を行った。次に、更に具体的にこの発明によるDRAMの性能を解析した結果を順次説明する。

【0055】

【読み出し時のビット線電位変化について】

先に、図12及び図13で説明した第2の読み出し方式、即ちビット線に一定電流を供給して読み出し行う場合の、ビット線の電位変化を検証する。図17は、この検証に用いる等価回路である。簡単にために、ビット線BLの電位は0Vにプリチャージされており、ワード線WLの電位 V_{wl} は、 $t > 0$ において、下記数5に示すように、メモリセルMCのしきい値 V_{th} （ V_{th0} 、 V_{th1} ）以上に設定されているものと仮定する。

【0056】

【数5】

$$V_{wl} > V_{th}$$

【0057】

ビット線BLには、 $t > 0$ において、 I_c なる一定電流が供給されるものとし、この電流 I_c は、下記数6に示すように、セルトランジスタの $V_{gs} = V_{wl}$ での飽和電流 I_{dsat} に比べて小さいものとする。

【0058】

【数6】

$$I_c < I_{dsat} = (k/2) (V_{wl} - V_{th})^2$$

$$\text{但し、} k = (W/L) (\epsilon_{ox}/t_{ox}) \mu_{eff}$$

【0059】

このとき、ビット線BLの電位 V_{bl} の変化は、セルトランジスタのドレイン電流を I_{ds} として、下記数7で表される。

【0060】

【数7】

$$dV_{bl}/dt = (1/C_{bl}) (I_c - I_{ds})$$

【0061】

セルトランジスタは線形領域で動作しているので、 $V_{bl} < V_{wl} - V_{th}$ が成り立ち、このときセルトランジスタのドレイン電流 I_{ds} は下記数8で表される。

【0062】

【数8】

$$I_{ds} = k [V_{wl} - V_{th} - (1/2) V_{bl}] V_{bl}$$

【0063】

数8を数7に代入して積分すれば、下記数9を得る。

【0064】

【数9】

$$V_{bl} = \alpha \cdot \beta [1 - \exp(t/t_0)] / [\beta - \alpha \cdot \exp(t/t_0)]$$

$$\text{但し、} \alpha = V_{wl} - V_{th} + [(V_{wl} - V_{th})^2 - 2I_c/k]^{1/2}$$

$$\beta = V_{wl} - V_{th} - [(V_{wl} - V_{th})^2 - 2I_c/k]^{1/2}$$

$$t_0 = 2C_{bl} / [k(\alpha - \beta)]$$

【0065】

数5と数6の仮定から、 $\alpha > \beta > 0$ を満たす。従って、数9は、時間 t に関して下に凸の増加関数であり、 $V_{bl}(0) = 0$ 、 $V_{bl}(\infty) = \beta$ である。

図18は、数9の計算結果を示す。“0”データのセルのしきい値を V_{th0}

$= 0.3 \text{ V}$ 、" 1 " データのセルのしきい値を $V_{th1} = -0.3 \text{ V}$ 、ダミーセルのしきい値を $V_{thd} = 0.05 \text{ V}$ 、ビット線容量を $C_{bl} = 100 \text{ fF}$ 、セル電流の利得係数を $k = 2.0 \times 10^{-5} (\text{A/V}^2)$ と仮定し、また $I_c = 0.91 \text{ dsat} = 13 \mu\text{A}$ 、 $V_{wl} = 1.5 \text{ V}$ を用いて、" 0 " データのときのビット線電圧 V_{bl0} 、" 1 " データのときのビット線電圧 V_{bl1} を、それぞれの信号電圧 V_{sig0} 、 V_{sig1} 及び参照ビット線の電圧 V_{bld} と共に示している。この結果から、ワード線を立ち上げてから、 10 nsec 後に、 100 mV の信号が得られていることがわかる。

【0066】

ダミーセルについては、メモリセルと同じ構造のMOSトランジスタでバルク電位を適当に設定できるタイプであることが好ましい。何故なら、メモリセルのしきい値のプロセス変動や温度変動に自己整合的に追随するからである。この場合ダミーセルのバルク電位を選択することにより、" 0 "、" 1 " データの信号量を最適設定することが可能になる。

【0067】

[" 0 " 書き込み速度について]

この発明においては、" 0 " 書き込みは、前述のようにメモリトランジスタのp型バルク領域とn型ドレインのpn接合を順バイアスすることにより、バルク領域のホールを抜き取る。この" 0 " 書き込みの速度について、図19の等価回路を用いて以下に検討する。

【0068】

$t = 0$ において、pn接合は、p層、n層共に 2.2 V で平衡状態にあるとする。 $t > 0$ で、n側を 0 V にしたとき、容量 C を持つバルク (p型層) の電位がどのように変化するかを計算する。時刻 t でのp型層の電位を V とすれば、下記数10が成立する。

【0069】

【数10】

$$t = -C \int_0^V dV / I$$

V0

【0070】

ここで、I は p n 接合の電流であり、下記数 11 で表される。

【0071】

【数 11】

$$I = I_s [\exp(V/\eta \cdot V_t) - 1]$$

【0072】

数 11 において、 I_s は飽和電流、 η は 1 ~ 2 の間の係数、 V_t は熱電圧 (Thermal Voltage) であり、 $V_t = kT/q$ である。数 11 を数 10 に代入して積分すると、下記数 12 が得られる。

【0073】

【数 12】

$$V = \eta \cdot V_t \cdot \ln [1 / \{1 - [1 - \exp(-V_0/\eta \cdot V_t)] \exp(-t/t_0)\}]$$

【0074】

ここで、 t_0 は、 $t_0 = C \cdot \eta \cdot V_t / I_s$ で与えられる時定数である。数 12 を、下記数 13 の数値を用いて数値計算した結果が、図 20 である。

【0075】

【数 13】

$$I_s = J_s \cdot A_j$$

$$J_s = 6.36 \times 10^{-5} \text{ A/m}^2$$

$$A_j = 0.01 \mu\text{m}^2$$

$$T = 85^\circ\text{C}$$

$$V_t = 0.0309$$

$$\eta = 1$$

$$t_0 = 10.7 \text{ sec}$$

$$V_0 = 2.2 \text{ V}$$

【0076】

図 20 の数値計算結果から、“0”書き込み時、1 nsec 程度でバルク (p 型層) の電位は 0.7 V 以下に落ち着くことがわかる。

【0077】

【バルク領域の電位変化について】

先に、“0”書き込みの選択性に関して、図16を参照してワード線電位とバルク電位の関係を説明したが、以下において更に詳細にバルク電位変化を検討する。即ち、正のワード線電位 V_{wl} で書き込みを行った後、ワード線電位を負に下げてデータを保持し、再度ワード線を正電位に上げて読み出し電位 V_r にて読み出しを行う動作において、バルク領域でどのような電位変化を示すかを、詳細に説明する。

【0078】

セルトランジスタのゲートとSOI基板のバルク（p型層）の間の単位面積当たりの容量 C_{gb} は、ゲートとバルク間の電位差 V_{gb} を用いて、下記数14で表される。

【0079】

【数14】

$$C_{gb}/C_{ox} = 1 / [1 + 2 \cdot lD^2 (V_{gb} - \delta) / V_t]^{1/2}$$

【0080】

ゲート酸化膜の単位面積当たりの容量 C_{ox} は、誘電率 ϵ_{ox} と酸化膜厚 t_{ox} を用いて、 $C_{ox} = \epsilon_{ox} / t_{ox}$ で表される。 lD は、デバイ長（Debye Length） LD を、 $\gamma = (\epsilon_{si} / \epsilon_{ox}) t_{ox}$ で規格化した無次元数であり、下記数15で与えられる。

【0081】

【数15】

$$lD = (\epsilon_{ox} / \epsilon_{si}) LD / t_{ox} \\ = (\epsilon_{ox} / \epsilon_{si}) [kT \cdot \epsilon_{si} / (q^2 NA)]^{1/2} / t_{ox}$$

【0082】

ここで、パラメータ δ を以下の条件により決定する。即ち、数14は、バルクに拡がる空乏層の厚さ w_p （これは、実際の空乏層の厚さ W_p をやはり γ により規格化して無次元化したもの）が下記数16で表されることから導かれている。

【0083】

【数 1 6】

$$w_p = -1 + [1 + 1 D^2 (V_{gb} - \delta) / V_t]^{1/2}$$

【0 0 8 4】

ここで、 $V_{gb} = V_{FB}$ （フラットバンド電圧）で、 $w_p = 1 D$ となるという条件、つまり下記数 1 7 を与える。

【0 0 8 5】

【数 1 7】

$$1 D = -1 + [1 + 1 D^2 (V_{gb} - \delta) / V_t]^{1/2}$$

【0 0 8 6】

この数 1 7 を解くと、パラメータ δ は下記数 1 8 となる。

【0 0 8 7】

【数 1 8】

$$\delta = V_{FB} - (1 + 2 / 1 D) V_t$$

【0 0 8 8】

数 1 4 と数 1 8 から、 C_{gb} の V_{gb} 依存性が求められるが、これは広範な V_{gb} の領域をカバーしない。そこで、ゲート・ソース間電圧 V_{gs} がトランジスタのしきい値 V_{th} を越えた場合には、 $C_{gb} = 0$ とすると共に、 C_{gb} / C_{ox} が 1 を越える場合にはこれを 1 と置き換えるものとして、広範な V_{gb} の値に対する C_{gb} の値を計算する。

【0 0 8 9】

その計算結果を、図 2 1 に示す。これは、“0” データのセルのワード線とバルク間の電圧 V_{gb} と容量 C_{gb} の関係を、ワード線が p 型多結晶シリコンゲートの場合について、求めた結果である。条件は、 $t_{ox} = 2.5 \text{ nm}$ 、 $NA = 5 \times 10^{18} / \text{cm}^3$ 、温度 85°C 、 $V_{FB} = 0.1 \text{ v}$ 、 $V_{th0} = 1.5 \text{ v}$ 、 $V_B = -0.7 \text{ V}$ 、 $C_{ox} = 0.14 \text{ fF}$ 、 $C_j = 0.08 \text{ fF}$ である。

【0 0 9 0】

一方、ゲート電圧の変化 ΔV_g に対するバルクの電位変化 ΔV_b は、下記数 1 9 で表される。

【0 0 9 1】

【数 19】

$$\Delta V_b = [C_{gb} / (C_{gb} + C_j)] \Delta V_g$$

【0092】

ここで、 C_j はバルクに直列に入る容量（先に説明した p n 接合容量）であり、これを一定として、数 19 を変形すると、数 20 が得られる。

【0093】

【数 20】

$$\Delta V_g = (1 + C_{gb} / C_j) \Delta V_{gb}$$

【0094】

数 20 を積分すると、下記数 21 となる。

【0095】

【数 21】

$$V_g - V_{g0} = \int_{V_{gb0}}^{V_{gb}} [1 + C_{gb} / C_j] dV_{gb}$$

【0096】

数 21 を書き換えると、数 22 となる。

【0097】

【数 22】

$$V_{gb} - V_{gb0} = (V_g - V_{g0}) - \int_{V_{gb0}}^{V_{gb}} (C_{gb} / C_j) dV_{gb}$$

【0098】

この数 22 を計算すれば、ゲート電圧 V_{w1} （ワード線）の電圧変化 ΔV_g からバルク電圧 V_B の変化 ΔV_b を求めることができる。“0”データのセルについて、先の図 21 の計算の場合と同じパラメータ条件の下で計算した結果を、図 22 に示す。この結果から例えばワード線を 2.0 V で“0”書き込みを行い、バルクを -0.7 V にし、ワード線を -2 V に下げてデータ保持すると、このときバルク電位は -2.1 V に保持されることがわかる。更にワード線を 1.0 V

に上げて読み出しを行うと、バルクは -0.9 V 程度までしか上昇しない。即ち、“0”データのセルについては、読み出し時には書き込み時よりバルク電位は低く、従って読み出しマージンが 0.2 V 拡がることになる。

【0099】

同様の計算を、“1”データセルについて行った結果を、図23に示す。またこのときの容量 C_{gb} の電圧 V_{gb} 依存性を図24に示す。用いたパラメータは図21及び図22の場合と同じである。“1”データの場合、書き込み直後にバルクは 0.6 V になり、ワード線が -2.0 V で保持される状態ではバルクは、 -1.0 V になることがわかる。“0”データの書き込みは、原理的にバルク電位 -1.0 V までできるが、“0”書き込みで -1.5 V まで下げたビット線を 0 V に戻すときのpn接合の容量カップリング（カップリング比は18%）でバルクは 0.3 V 上がり、 -0.7 V になる。従って図22の“0”データの場合書き込み直後の電位を -0.7 V としている。

【0100】

“1”書き込みの場合にも同様に、ビット線からの容量カップリングがあるが、“0”書き込みと異なるのは、バルク電流 I_{sub} を流して“1”データを書いている最中、下記数23で示す電位 V まで、ビルトイン電圧 0.6 V より上昇していることである。

【0101】

【数23】

$$I_{sub} = I_s [\exp \{ V / (\eta \cdot V_t) - 1 \}]$$

【0102】

$I_{sub} = 14\text{ nA}$ 、 $I_s = 6.36 \times 10^{-20}\text{ A}$ 、 $V_t = 0.031\text{ V}$ 、 $\eta = 1.2$ を代入すると、 $V = 0.96\text{ V}$ を得る。従って、バルク電位は“1”データ書き込み直後は 1 V 近くあり、ビット線が 1.5 V から 0 V に下がってカップリングで 0.3 V 下がるとしても、 0.6 V 以上あり、その後のダイオードの順方向電流により、 0.6 V になる。即ち、実質的に“1”データ書き込み直後のバルク電位は、 0.6 V になっていると考えられる。

【0103】

ここまで計算は、フラットバンド電圧を $V_{FB} = 0.1\text{ V}$ とした場合である。これは、SOI基板のp型シリコン層上にp型多結晶シリコンによるゲート電極（ワード線）を形成した場合に対応する。次に、同じSOI基板に、n型結晶シリコン膜によりゲート電極を用いた場合について、同様の計算を行った結果を示す。この場合、フラットバンド電圧は、 $V_{FB} = -1.1\text{ V}$ となる。

【0104】

図25は、“1”データセルについて、容量 C_{gb} —電圧 V_{gb} を求めた結果である。図26は同様に、“1”データセルについて、ワード線電圧 V_{wl} とバルク電圧 V_B の関係を求めた結果である。フラットバンド電圧以外のパラメータは、先の図21及び図22の場合と同様である。いずれも、しきい値は $V_{th1} = 0\text{ V}$ としている。

【0105】

これらの結果から、“0”データのしきい値 $V_{th0} = 1\text{ V}$ を確保できるものとして、ワード線は書き込み時 1.5 V 、読み出し時 0.5 V である。データ保持時のワード線電圧を -2.5 V とすれば、“1”データセルのバルクは、 -0.8 V まで下がる。従って、p型多結晶シリコンゲートを用いた、 $V_{FB} = 0.1\text{ V}$ の場合に比べて、同一ワード線振幅に対して、 0.2 V だけ不利になる。

【0106】

図27と図28は、同様に“0”データセルについて、 $V_{FB} = -1.1\text{ V}$ の場合の容量 C_{gb} —電圧 V_{gb} 特性と、ワード線電圧 V_{wl} —バルク電圧 V_B 特性を求めた結果である。しきい値は、 $V_{th0} = 1\text{ V}$ とした。“0”データ書き込み直後のバルク電位は -0.8 V であるが、ビット線がプリチャージ電位 0 V 付近に戻ると、pn接合のカップリングによりバルク電位は 0.3 V だけ浮き上がり、 -0.5 V になっているものと仮定している。この場合も、書き込み時のワード線は 1.5 V であるが、読み出し時は 0.5 V であるので、バルク電位は 0.15 V だけ回復し、 -0.65 V になっている。

【0107】

以上のp型多結晶シリコンゲートの場合と、n型多結晶シリコンゲートの場合の動作条件をそれぞれ表にまとめると、下記表1及び表2となる。

【0108】

【表1】

p型多結晶シリコンゲートの場合

$$V_{wl}(\text{read}) = 1\text{ V}$$

$$V_{wl}(\text{hold}) = -2\text{ V}$$

$$V_{wl}(\text{write}) = 2\text{ V}$$

$$V_{bl}(\text{"0" write}) = -1.6\text{ V}$$

$$V_{bl}(\text{"1" write}) = 1.6\text{ V}$$

$$V_{th0} = 1.5\text{ V}$$

$$V_{th1} = 0.5\text{ V}$$

$$\text{"1" データセルの読み出し時のバルク電位 } V_B = 0.6\text{ V}$$

$$\text{"0" データセルの読み出し時のバルク電位 } V_B = -1\text{ V}$$

【0109】

【表2】

n型多結晶シリコンゲートの場合

$$V_{wl}(\text{read}) = 0.5\text{ V}$$

$$V_{wl}(\text{hold}) = -2.5\text{ V}$$

$$V_{wl}(\text{write}) = 1.5\text{ V}$$

$$V_{bl}(\text{"0" write}) = -1.4\text{ V}$$

$$V_{bl}(\text{"1" write}) = 1.4\text{ V}$$

$$V_{th0} = 1.0\text{ V}$$

$$V_{th1} = 0\text{ V}$$

$$\text{"1" データセルの読み出し時のバルク電位 } V_B = 0.6\text{ V}$$

$$\text{"0" データセルの読み出し時のバルク電位 } V_B = -0.6\text{ V}$$

【0110】

なお、以上の表1, 2において、“1”書き込み時のビット線レベル $V_{bl}(\text{"1" write})$ は、基板電流（ホール電流）と書き込み時間で決定されるべきもので未定であるが、仮の設定値を示している。以上により、p型多結晶シリコンゲートを用いることの有利性が明らかになった。ワード線振幅はいずれの場

合も、4 Vである。これを更に低電圧化するには、以下の施策が必要になる。

(A) しきい値 V_{th} のばらつきを小さくすること

(B) メモリセル電流を確保すること

(C) C_j / C_{ox} の割合を小さくする

【0111】

(A) 及び (B) に関しては、ここまで $\Delta V_{th} = V_{th0} - V_{th1} = 1.0$ Vを仮定しているが、これは0.8 V~0.6 V程度まで厳しく制御できる可能性がある。 $\Delta V_{th} = 0.6$ Vを実現できるとすれば、ワード線振幅を 2×1.2 V = 2.4 Vまで小さく抑えられる可能性がある。

以下では、(C) について詳細に検討する。これは、 ΔV_{th} のマージンを減らすことなく、ワード線振幅の低電圧化を実現できる方法だからである。

【0112】

(C) の要請には、SOI基板のシリコン層の厚み T_{si} を、これまで想定してきた100 nmより更に薄くすること、これと同時に或いは独立に、n型ソース、ドレイン拡散層の不純物濃度を低くすることにより応えることができる。前者は、pn接合面積の縮小により、pn接合容量 C_j を小さくすることに対応する。後者は、空乏層がn型拡散層側にも延びる条件を与えるため、ソース、ドレイン拡散層とバルク領域の接合容量 C_j をやはり小さくする。

【0113】

そこで、これまでの検証に用いた接合容量 $C_j = 0.08$ fFに代わって、 $C_j = 0.04$ fFと半分にした場合について、 $C_{gb} - V_{gb}$ 曲線と、 $V_{wl} - V_B$ 曲線を、それぞれ図29及び図30に示す。 C_j 以外の条件は、図23及び図24と同じであり、ゲート電極はp型多結晶シリコンである。 $C_j = 0.04$ fFは、シリコン層厚みを50 nmとした場合に相当する。

【0114】

この結果から、“1”データセルについて、0.6 Vのバルク電位が書き込まれた後、ワード線を-2.0 Vまで下げると、バルク電位は-1.3 Vまで下がる。従って、バルク電位を-1 Vまで下げるに必要なワード線電位、即ちデータ保持に必要なワード線電位 $V_{wl}(hold)$ は、 $V_{wl}(hold) = -1.$

6 Vであることがわかる。

【0115】

同様に、“0”データセルについて、 $C_j = 0.04 \text{ fF}$ を用いた場合の $C_{gb} - V_{gb}$ 曲線と、 $V_{wl} - V_B$ 曲線を、それぞれ図31及び図32に示す。 C_j 以外の条件は、先の図21及び図22の場合と同じである。

【0116】

以上のように、薄いシリコン層 ($T_{si} = 50 \text{ nm}$) のSOI基板を用いて、 C_i を小さくした場合のDRAMセルの動作条件を、表1に対応させてまとめると、下記表3のようになる。

【0117】

【表3】

$$V_{wl}(\text{read}) = 0.8 \text{ V}$$

$$V_{wl}(\text{hold}) = -1.6 \text{ V}$$

$$V_{wl}(\text{write}) = 1.6 \text{ V}$$

$$V_{bl}(\text{"0" write}) = -1.6 \text{ V}$$

$$V_{bl}(\text{"1" write}) = 1.6 \text{ V}$$

$$V_{th0} = 1.3 \text{ V}$$

$$V_{th1} = 0.3 \text{ V}$$

“1”データセルの読み出し時のバルク電位 $V_B = 0.6 \text{ V}$

“0”データセルの読み出し時のバルク電位 $V_B = -1 \text{ V}$

【0118】

以上の結果から、シリコン層厚み T_{si} を100 nmから50 nmと半分に薄くして容量 C_j を小さくすると、ワード線振幅を4 Vから3.2 Vまで低減できることがわかる。注目すべきは、依然として、データ“0”，“1”のしきい値の差 ΔV_{th} として、1 Vを確保できていることである。

【0119】

SOI基板のシリコン層を更に30 nm程度まで薄くできれば、更に低電圧化を実現することが可能である。しかし、あまりシリコン層を薄くすると、シリコン層が完全空乏化し、メモリ機能自体が失われる危険がある。従って、シリコン

層の厚みは50 nm程度が適当と思われる。

【0120】

図33は、バルク電位 V_B が-1 Vと0.6 Vでのしきい値の差 ΔV_{th} と、シリコン層の不純物濃度 N_A の関係を示している。但し、ゲート酸化膜厚が $T_{ox}=2.5\text{ nm}$ 、温度が $T=85^\circ\text{C}$ の場合である。これから、 $\Delta V_{th}=1\text{ V}$ を確保するためには、 $N_A=1.0\times 10^{19}/\text{cm}^3$ 程度が必要であることがわかる。これは少し、不純物濃度が濃すぎるため、 $N_A=0.8\times 10^{18}/\text{cm}^3$ に設定して、 $\Delta V_{th}=0.8\text{ V}$ とする。このとき、表3の動作条件は少し訂正され、下記表4のようになる。

【0121】

【表4】

$$V_{wl}(\text{read})=0.7\text{ V}$$

$$V_{wl}(\text{hold})=-1.6\text{ V}$$

$$V_{wl}(\text{write})=1.4\text{ V}$$

$$V_{bl}(\text{"0" write})=-1.6\text{ V}$$

$$V_{bl}(\text{"1" write})=1.4\text{ V}$$

$$V_{th0}=1.1\text{ V}$$

$$V_{th1}=0.3\text{ V}$$

"1" データセルの読み出し時のバルク電位 $V_B=0.6\text{ V}$

"0" データセルの読み出し時のバルク電位 $V_B=-1\text{ V}$

【0122】

表4において、"1"書き込み時のビット線レベル $V_{bl}(\text{"1" write})$ は、基板電流（ホール電流）と書き込み時間で決まるため、1.4 Vは仮の設定値である。セルトランジスタをLDD構造ではなく、通常の構造として、基板電流 I_{sub} を増やすことにより、この程度の低電圧化が可能と考えられる。

【0123】

上の動作条件では、セルトランジスタに係る最大電圧は、3.0 Vである。ゲート酸化膜厚は $T_{ox}=2.5\text{ nm}$ としており、従ってゲート酸化膜には、12 MV/cm程度の電界が、"1"データ書き込みの瞬間にかかり、信頼性に不安

がある。しかし、信頼性を確保するためにゲート酸化膜厚を大きくすることは、バルク電位を制御するための容量結合比を悪化させるため、好ましくない。従って、ゲート絶縁膜については、シリコン酸化膜に代わって、誘電率の高い Al_2O_3 等の他の絶縁膜を用いることが好ましい。

【0124】

更なる低電圧化のためには、SOI基板のシリコン層の厚み T_{Si} を 30 nm 程度まで薄くすること、セルトランジスタのしきい値制御性を良くすると共に、移動度を大きくとれるようにすること、が望まれる。これらを考慮して、 $2.0\text{ V} \sim 2.5\text{ V}$ 程度までの低電圧化が可能と思われる。

【0125】

図33に示すしきい値の差 ΔV_{th} のときに確保できる“1”書き込みセルトランジスタのセル電流 I_{ds1} と、それに対応するデータ読み出し時間 Δt をそれぞれ図34及び図35に示す。セル電流は $I_{\text{ds1}} = (k/2) (\Delta V_{\text{th}}/2)^2$ により求めている。また、読み出し時間 Δt は、読み出し時のワード線電位を V_{th1} と V_{th0} の中間に設定して、“1”データのセルのみをオンさせ、容量 $C_{\text{b1}} = 100\text{ fF}$ のビット線をプリチャージ電位から 200 mV 放電するまでの時間として求めている。

この結果から、 $NA = 6 \times 10^{18} / \text{cm}^3$ において、 $I_{\text{ds1}} = 1.4\text{ }\mu\text{A}$ 、 $\Delta t = 15\text{ nsec}$ が得られている。

【0126】

図36は、“1”データセルのホールド時のバルク電位 V_{B} がしきい値 V_{th1} との関係でどこまで下がるかを調べた結果である。条件は、ゲート酸化膜厚 $t_{\text{ox}} = 2.5\text{ nm}$ 、不純物濃度 $NA = 5 \times 10^{18} / \text{cm}^3$ 、フラットバンド電圧 $V_{\text{FB}} = 0.1\text{ V}$ 、“1”データのバルク電位 $V_{\text{B1}} = 0.6\text{ V}$ 、ゲート酸化膜容量 $C_{\text{ox}} = 0.14\text{ fF}$ 、接合容量 $C_{\text{j}} = 0.04\text{ fF}$ である。またワード線のホールド電位は、 $V_{\text{w1}} = V_{\text{th1}} - 2\text{ V}$ である。

【0127】

この結果から、 $V_{\text{th1}} = 0.5\text{ V}$ 以上では、ホールド時のバルク電位は V_{th1} と共に上昇している。 $V_{\text{th1}} < 0.5\text{ V}$ では、バルク電位は -0.93 V

に飽和している。これは、 $V_{th1} < 0.5 \text{ V}$ 以下までワード線が下がると、容量 C_{gb} がゲート酸化膜容量 C_{ox} として飽和することを意味している。

従って、フラットバンド電圧 $V_{FB} = 0.1 \text{ V}$ のとき、つまりゲート電極がp型多結晶シリコン膜のとき、 $V_{th1} < 0.5 \text{ V}$ に設定すべきである。一方、 $\Delta V_{th} = V_{th0} - V_{th1} = 0.8 \text{ V}$ を確保できることがわかっているので、 $V_{th0} < 1.3 \text{ V}$ である。従って、 $V_{th0} = 1.1 \text{ V}$ 、 $V_{th1} = 0.3 \text{ V}$ は良い選択であると言える。

以上の動作ポイントをまとめると、下記表5のようになり、またデバイスパラメータをまとめると、下記表6のようになる。

【0128】

【表5】

$$V_{th0} = 1.1 \text{ V}, V_{th1} = 0.3 \text{ V}$$

$$V_{wl}(\text{read}) = 0.7 \text{ V}$$

$$V_{wl}(\text{hold}) = -1.7 \text{ V}$$

$$V_{wl}(\text{write}) = 1.5 \text{ V}$$

$$V_{b1}(\text{"0" write}) = -1.5 \text{ V}$$

$$V_{b1}(\text{"1" write}) = 1.5 \text{ V}$$

$$V_B(\text{"1" read}) = 0.6 \text{ V}$$

$$V_B(\text{"0" read}) = -1.0 \text{ V}$$

$$V_B(\text{"1" write}) = 0.6 \text{ V}$$

$$V_B(\text{"0" write}) = -0.9 \text{ V}$$

$$V_B(\text{"1" hold}) = -1.0 \text{ V}$$

$$V_B(\text{"0" hold}) = -2.4 \text{ V}$$

$$V_{max} = 3.2 \text{ V} \text{ (非選択WLと"1"書き込みBLとの間の} V_{ds} \text{)}$$

【0129】

【表6】

p型多結晶シリコンゲート

$$N_A = 5 \times 10^{18} / \text{cm}^3$$

$$t_{ox} = 2.5 \text{ nm}$$

チャネル長 $L = 0.1 \mu\text{m}$ 、チャネル幅 $W = 0.1 \mu\text{m}$

$T_{\text{Si}} = 50 \text{ nm}$

$k = (W/L) (\epsilon_{\text{ox}}/t_{\text{ox}}) \mu_{\text{eff}} = 2.0 \times 10^{-5} \text{ A/V}^2$

【0130】

このときDRAMセルの読み出し特性は、ビット線容量 $C_{\text{bl}} = 100 \text{ fF}$ に、 200 mV の電位差をつけるまで時間が、 $\Delta t = 15 \text{ nsec}$ となる。

【0131】

図37は、 $V_{\text{FB}} = -1.1 \text{ V}$ の場合（即ち、 n 型多結晶シリコンゲートの場合）について、同様に“1”データセルのホールド時のバルク電位 V_{B} がしきい値 V_{th1} との関係でどこまで下がる調べた結果である。他の条件は、図36と同様である。この場合も、 $V_{\text{th1}} < 0.5 \text{ V}$ とすべきことが示唆される。このときの動作ポイント及びデバイスパラメータは、表5及び表6に対して、下記表7及び表8となる。

【0132】

【表7】

$V_{\text{th0}} = 0.1 \text{ V}$ 、 $V_{\text{th1}} = -0.7 \text{ V}$

$V_{\text{wl}}(\text{read}) = 0.3 \text{ V}$

$V_{\text{wl}}(\text{hold}) = -2.7 \text{ V}$

$V_{\text{wl}}(\text{write}) = 0.5 \text{ V}$

$V_{\text{bl}}(\text{“0” write}) = -1.5 \text{ V}$

$V_{\text{bl}}(\text{“1” write}) = 0.5 \text{ V}$

$V_{\text{B}}(\text{“1” read}) = 0.6 \text{ V}$

$V_{\text{B}}(\text{“0” read}) = -1.0 \text{ V}$

$V_{\text{B}}(\text{“1” write}) = 0.6 \text{ V}$

$V_{\text{B}}(\text{“0” write}) = -0.9 \text{ V}$

$V_{\text{B}}(\text{“1” hold}) = -1.0 \text{ V}$

$V_{\text{B}}(\text{“0” hold}) = -2.4 \text{ V}$

$V_{\text{max}} = 3.2 \text{ V}$ （非選択WLと“1”書き込みBLとの間の V_{ds} ）

【0133】

【表 8】

n 型多結晶シリコンゲート

$$N_A = 5 \times 10^{18} / \text{cm}^3$$

$$t_{ox} = 2.5 \text{ nm}$$

$$\text{チャネル長 } L = 0.1 \mu\text{m}, \text{ チャネル幅 } W = 0.1 \mu\text{m}$$

$$T_{si} = 50 \text{ nm}$$

$$k = (W/L) (\epsilon_{ox}/t_{ox}) \mu_{eff} = 2.0 \times 10^{-5} \text{ A/V}^2$$

【0134】

このとき DRAM セルの読み出し特性は、ビット線容量 $C_{bl} = 100 \text{ fF}$ に、 200 mV の電位差をつけるまで時間が、 $\Delta t = 15 \text{ nsec}$ となる。但し、 $V_{bl} ("1" \text{ write})$ が 0.5 V で十分な基板電流 I_{sub} が流れるか否かが問題であり、これを 0.5 V 以上に上げなければならないとすると、その分最大電圧 V_{max} が上昇する。この点で、p 型多結晶シリコンをゲート電極に用いる方が有利である。つまり、読み出し特性及び "1" 書き込み特性から決まるしきい値 V_{th0} に対して、書き込み時のワード線レベル $V_{wl} (\text{write})$ が決まるが、これとは独立に "1" 書き込み特性から決まるビット線電位 $V_{bl} ("1" \text{ write})$ がこのワード線電位 V_{wl} よりも高くなる場合は、 V_{max} は、 $V_{bl} ("1" \text{ write}) - V_{wl} (\text{hold})$ で決まる。もし、 $V_{wl} (\text{Write}) \geq V_{bl} ("1" \text{ write})$ であれば、 $V_{max} = V_{wl} (\text{write}) - V_{wl} (\text{hold})$ であり、動作電圧を最小化できる。

【0135】

以上の計算は、あくまで標準的な DRAM セルについてである。実際は、プロセス起因のロット間、ウェハ間、ウェハ内、チップ内のセルトランジスタのしきい値や k の変動、ビット線容量の変動、設計的ワード線レベルの変動等がある。またビット線間のカップリングノイズも考慮する必要がある。

【0136】

まず、統計的なばらつきを考える。

最近、本出願人等により開発された $0.17 \mu\text{m}$ ルールの 256 Mbit DRAM にセルアレイトランジスタのしきい値 V_{th} のばらつきは、 $\Delta V_{th} = (\Sigma$

$\delta V_{thi}^{2})^{1/2} = \pm 200 \text{ mV}$ と考えられる。ここで、 V_{thi} の内訳は、下記表9の通りである。

【0137】

【表9】

$\delta V_{thSx} = \pm 7 \text{ mV}$: 基板のドーパント変動
 $\delta V_{thWell} = \pm 65 \text{ mV}$: ウェルイオン注入変動
 $\delta V_{thSrf} = \pm 21 \text{ mV}$: 表面調整イオン注入変動
 $\delta V_{thSacoX} = \pm 9 \text{ mV}$: 犠牲酸化膜厚変動
 $\delta V_{thTox} = \pm 59 \text{ mV}$: ゲート酸化膜厚変動
 $\delta V_{thWeff} = \pm 100 \text{ mV}$: 実効チャネル幅変動
 $\delta V_{thLeff} = \pm 148 \text{ mV}$: 実効チャネル長変動

【0138】

これ以外にも、温度によるしきい値 V_{th} の変動が含まれる。ワード線を V_{th0} と V_{th1} の中間レベルに立ち上げて読み出す方式を用いた場合、このワード線レベルを実際にしきい値 V_{th0} 、 V_{th1} の代表値をモニターして作るようにした場合には、上記しきい値変動の要素のある部分は補償されて、影響が出ないようにすることが可能である。何故なら、 V_{th1} が低下すると同時に V_{th0} が低下する変動要素の場合、読み出し時のワード線電位 V_{wl} を V_{th0} 、 V_{th1} の中間レベルに設定すれば、その変動要素の影響は無視できるからである。

【0139】

言い換えると、この様な読み出し方式とすることで、基本的には上記しきい値変動の要素のチップ内でのばらつきのみに制限することができる。チップ内でのしきい値のばらつきの大きさが、表9に示す各要素のしきい値ばらつきの $1/4$ であるとすれば、 $\delta V_{th} = \pm 50 \text{ mV}$ である。この場合、p型多結晶シリコンゲートを用いた上述した読み出し方式でのワード線電位 V_{wl} としきい値 V_{th0} 、 V_{th1} との関係を示すと、図38のようになる。温度変動に伴うしきい値変動は、システムの的に完全にキャンセルすることが可能である。

【0140】

チップ内のセルトランジスタしきい値のばらつきを $\delta V_{th} = \pm 50 \text{ mV}$ としたとき、標準的なセルで“0”，“1”のしきい値 V_{th0} ， V_{th1} の差が $\Delta V_{th}(\text{nom}) = V_{th0} - V_{th1} = 1.1 \text{ V} - 0.3 \text{ V} = 0.8 \text{ V}$ であるとする、最悪条件のセル同士（ $\delta V_{th}^+ = 50 \text{ mV}$ と $\delta V_{th}^- = -50 \text{ mV}$ ）でのしきい値の差 $\Delta V_{th}(\text{min})$ は、下記数24となる。

【0141】

【数24】

$$\begin{aligned}\Delta V_{th}(\text{min}) &= \Delta V_{th}(\text{nom}) - (\delta V_{th}^+ - \delta V_{th}^-) \\ &= 0.8 \text{ V} - (0.05 + 0.05) \\ &= 0.7 \text{ V}\end{aligned}$$

【0142】

最悪条件下でのしきい値の差がこの程度であれば、誤動作のない読み出しが可能である。

【0143】

この発明によるメモリセルは前述のように、原理的に非破壊読み出しであり且つ、電流読み出しである。図39は、このメモリセルセル特性を利用したセンスアンプのレイアウト例を示す。対をなすビット線BL，bBLはセンスアンプSAの両側に配置して、オープンビット線方式としている。ビット線対BL，bBLの一方でワード線WLが活性化されたとき、他方ではダミーセルDCを選択するダミーワード線DWLが活性化されるようになっている。ダミーセルDCは、メモリセルMCと同様のMOSトランジスタにより構成され、そのバルク領域にデータ“0”，“1”の中間的なバルク電位を与えるものとする。

【0144】

図の例では、二つのビット線対BL，bBLが選択ゲートSGにより選択されて一つのセンスアンプSAに接続される。あるセンスアンプSAにつながるビット線と隣のセンスアンプSAにつながるビット線とは交互に配置される。この場合、一つのワード線WLにより同時に選択される4個のメモリセルMCに対して、センスアンプSAは二つである。即ち、同時に選択される4個のメモリセルMCのデータのうち、実際にセンスアンプSAで検出されるのは二つであり、残り

のメモリセルデータは、読み出されるもののセンスアンプには送られない。この発明では、通常のDRAMにおけるような破壊読み出しではないため、この様なセンスアンプ方式が可能になる。

【0145】

ところで、この発明によるDRAMセルを0.1 μ mルール of DRAM世代として実現する上では、次の二つの条件を両立させることが重要になる。

- ・条件1：基板バイアス効果を十分に利用すること
- ・条件2：pn接合のリーク電流を小さくすること

これらの条件1, 2は、バルク領域の不純物濃度に関して相反する要請になる。

【0146】

条件1は、大きな基板バイアス効果により、“0”，“1”データのしきい値電圧差を大きくするために必要であり、そのためには図1のp型シリコン層12（バルク領域）の不純物濃度（アクセプタ濃度）NAが例えば、 $NA = 5 \times 10^{18} / \text{cm}^3$ 以上必要である。この事情を図41により説明する。図41は、バルク電位VBとNMOSトランジスタのしきい値 V_{th} との関係がアクセプタ濃度NAにより異なる様子を示している。

【0147】

アクセプタ濃度がNA1のとき、“0”，“1”データのしきい値電圧差を ΔV_{th1} 、これより低いアクセプタ濃度NA2のときのしきい値電圧差を ΔV_{th2} とすると、 $\Delta V_{th1} > \Delta V_{th2}$ となる。即ち、“0”，“1”データのしきい値電圧差を大きくするためには、アクセプタ濃度がある程度以上高いことが必要になる。

なお、 $NA = 5 \times 10^{18} / \text{cm}^3$ 以上のアクセプタ濃度は、チャネル長が $L = 0.1 \mu\text{m}$ 程度の微細MOSトランジスタでの確実な動作を行わせるにも必要である。

【0148】

一方、条件2は、データ保持特性を保証する上で必要になり、この場合バルク領域の不純物濃度は当然低い方がよい。0.1 μ mルール of DRAM世代で、バルク領域に10秒間データを保持するためには、ソース、ドレインのpn接合リ

ークを、 $3 \times 10^{-17} \text{ A/cm}^2$ 以下に抑えることが必要になる。また、リーク電流の主成分であるトンネル電流を下げるためには、pn接合部に形成される空乏層内の電界は、 $2.5 \times 10^5 \text{ V/cm}$ 以下に抑えなければならない。これは、バルク領域のアクセプタ濃度が $N_A = 1.0 \times 10^{17} / \text{cm}^3$ 以下で実現できる値である。条件1から要請される上述のアクセプタ濃度では、空乏層内の電界は、 $1.7 \times 10^6 \text{ V/cm}$ （2Vの逆バイアス時）となり、条件2の要請を満たすことができない。

【0149】

図40は、以上のような相反する条件1，2を満たす可能性を持つ実施の形態のDRAMセルMCの構造を、図1に対応させて示している。図1のセル構造との相違は、p型シリコン層12からなるバルク領域にある。即ちこの実施の形態の場合、バルク領域を、ドレイン、ソース拡散層14，15に接するボロン濃度（アクセプタ濃度）が比較的低いp型拡散層12aと、ドレイン、ソース拡散層14，15からは離れたチャンネル長方向の中央部に配置されたボロン濃度（アクセプタ濃度）が高い p^+ 型拡散層12bとから構成している。 p^+ 型拡散層12bは、底部のシリコン酸化膜11に達する深さに形成されている。

【0150】

このセル構造は、等価的に、しきい値電圧が高いNMOSトランジスタをしきい値電圧の低い二つのNMOSトランジスタで挟んだ形になっている。このとき全体のしきい値電圧は、中央部の p^+ 型拡散層12bにより支配される。一方、ドレイン、ソース拡散層14，15は、低濃度のp型拡散層12aとの間でpn接合を構成しているから、バルク領域全体を高濃度の p^+ 型拡散層で形成する場合に比べて、リーク電流が小さくなる。以上の結果、上述した相反する二つの条件1，2を満たすことが可能になる。

【0151】

具体的に、図40のセル構造により効果が得られるかどうか、またどのような濃度設定や位置設定が必要か、等について、以下に検討結果を説明する。まず、予備的な検討として、図42（a）（b）に示すように、n型拡散層（ドナー濃度ND）とp型拡散層（アクセプタ濃度 N_A ）のpn接合に、電圧Vの逆バイアス

を与えたときの空乏層の拡がり、及び内部電界Eの強度分布を求める。pn接合は急峻な接合 (a b r u p t j u n c t i o n) であると仮定する。図42に示すように、pn接合を横切る方向にx軸を定義する。

このとき、n型拡散層及びp型拡散層内の電位を ϕ_D 、 ϕ_A とし、空乏層のn型拡散層内の先端位置を $-x_n$ 、p型拡散層内の先端位置を x_p として、ポアソンの方程式及び、n型拡散層とp型拡散層内の電界 E_D 、 E_A は、数25で表される。 ϵ はシリコンの誘電率である。

【0152】

【数25】

$$d^2 \phi_D / dx^2 = - (q / 2 \epsilon) N_D \quad (-x_n < x < 0)$$

$$d^2 \phi_A / dx^2 = (q / 2 \epsilon) N_A \quad (0 < x < x_p)$$

$$E_D = -d \phi_D / dx \quad (-x_n < x < 0)$$

$$E_A = -d \phi_A / dx \quad (0 < x < x_p)$$

【0153】

境界条件は、ビルトインポテンシャルを ϕ_{bi} として、次の数26で表される。

【0154】

【数26】

$$E_D(-x_n) = 0$$

$$\phi_D(-x_n) = \phi_{bi} + V$$

$$E_D(0) = E_A(0)$$

$$\phi_D(0) = \phi_A(0)$$

$$E_A(x_p) = 0$$

$$\phi_A(x_p) = 0$$

【0155】

これらの境界条件を入れて、数25を解くと、次の数27が得られる。

【0156】

【数27】

$$E_D = (q / \epsilon) N_D \cdot x + A \quad (-x_n < x < 0)$$

$$\phi D = - (q / 2 \varepsilon) N D \cdot x^2 - A \cdot x + B \quad (-x_n < x < 0)$$

$$E A = - (q / \varepsilon) N A \cdot x + C \quad (0 < x < x_p)$$

$$\phi A = (q / 2 \varepsilon) N A \cdot x^2 - C \cdot x + D \quad (0 < x < x_p)$$

【0157】

数27において、A～Dは、数26の境界条件で決まる定数である。数27の解を数26の境界条件の式に代入すると、次の数28が得られる。

【0158】

【数28】

$$- (q / \varepsilon) N D \cdot x_n + A = 0$$

$$- (q / 2 \varepsilon) N D \cdot x_n^2 + A \cdot x_n + B = \phi b_i + V$$

$$A = C$$

$$B = D$$

$$- (q / \varepsilon) N A \cdot x_p + C = 0$$

$$(q / 2 \varepsilon) N A \cdot x_p^2 - C \cdot x_p + D = 0$$

【0159】

数28は、6個の未知数である、 x_n 、 x_p 、A、B、C及びDを決定する方程式である。これを解くことにより、下記数29を得る。

【0160】

【数29】

$$x_n = \{ 2 \varepsilon N A (\phi b_i + V) / q N D (N A + N D) \}^{1/2}$$

$$x_p = \{ 2 \varepsilon N D (\phi b_i + V) / q N A (N A + N D) \}^{1/2}$$

【0161】

また、最大電界強度 E_{max} は、 $x = 0$ の点での電界であり、下記数30で表される。

【0162】

【数30】

$$E_{max} = A = (q / \varepsilon) N D \cdot x_n$$

$$= \{ 2 q N A \cdot N D (\phi b_i + V) / \varepsilon (N A + N D) \}^{1/2}$$

【0163】

空乏層全体の幅 $W = x_n + x_p$ は、次の数 3 1 となる。

【0 1 6 4】

【数 3 1】

$$W = \{ 2 \epsilon (N_A + N_D) (\phi_{bi} + V) / q N_A \cdot N_D \}^{1/2}$$

【0 1 6 5】

電界強度分布は、図 4 2 (b) に示したようになる。

以上の予備検討結果に基づいて、次に図 4 3 (a) (b) に示すように、p 型拡散層が、高アクセプタ濃度 N_A と低アクセプタ濃度 n_a の部分に分かれている場合を検討する。これは、図 4 0 の実施の形態のセル構造におけるドレイン接合側の構造に相当する。この場合も、接合は急峻接合であるものとする。距離軸は、先の予備検討の結果との比較のために、小文字 x に代わって、大文字 X を用いる。p 型拡散層に拡がる空乏層の先端位置 X_p は、低アクセプタ濃度 n_a の領域を越えて、 $X_p > L$ であるものとする。

このとき、ポアソンの式及び電界の式は、数 2 5 に対して、p 型拡散層を高アクセプタ濃度 N_A の領域と低アクセプタ濃度 n_a の領域に分けて考えることにより、次の数 3 2 となる。高アクセプタ濃度 N_A の領域の電位 ϕ_A 、電界 E_A に対して、低アクセプタ濃度 n_a の領域の電位、電界をそれぞれ ϕ_a 、 E_a として示す。

【0 1 6 6】

【数 3 2】

$$d^2 \phi_D / dX^2 = - (q / 2 \epsilon) N_D \quad (-X_n < X < 0)$$

$$d^2 \phi_a / dX^2 = (q / 2 \epsilon) n_a \quad (0 < X < L)$$

$$d^2 \phi_A / dX^2 = (q / 2 \epsilon) N_A \quad (L < X < X_p)$$

$$E_D = - d \phi_D / dX \quad (-X_n < X < 0)$$

$$E_a = - d \phi_a / dX \quad (0 < X < L)$$

$$E_A = - d \phi_A / dX \quad (L < X < X_p)$$

【0 1 6 7】

境界条件は、次の数 3 3 で表される。

【0 1 6 8】

【数 3 3】

$$E D (-X_n) = 0$$

$$\phi D (-X_n) = \phi b_i + V$$

$$E D (0) = E a (0)$$

$$\phi D (0) = \phi a (0)$$

$$E a (L) = E A (L)$$

$$\phi a (L) = \phi A (L)$$

$$E A (X_p) = 0$$

$$\phi A (X_p) = 0$$

【0 1 6 9】

数 3 2 を解くと、下記数 3 4 が得られる。

【0 1 7 0】

【数 3 4】

$$E D = (q / \varepsilon) N D \cdot X + A \quad (-X_n < X < 0)$$

$$\phi D = - (q / 2 \varepsilon) N D \cdot X^2 - A \cdot X + B \quad (-X_n < X < 0)$$

$$E a = - (q / \varepsilon) n a \cdot X + C \quad (0 < X < L)$$

$$\phi a = (q / 2 \varepsilon) n a \cdot X^2 - C \cdot X + D \quad (0 < X < L)$$

$$E A = - (q / \varepsilon) N A \cdot X + E \quad (L < X < X_p)$$

$$\phi A = (q / 2 \varepsilon) N A \cdot X^2 - E \cdot X + F \quad (L < X < X_p)$$

【0 1 7 1】

数 3 4 において、A ~ F は、数 3 3 の境界条件で決まる定数である。数 3 4 の解を数 3 3 の境界条件の式に代入すると、次の数 3 5 が得られる。

【0 1 7 2】

【数 3 5】

$$- (q / \varepsilon) N D \cdot X_n + A = 0$$

$$- (q / 2 \varepsilon) N D \cdot X_n^2 + A \cdot X_n + B = \phi b_i + V$$

$$A = C$$

$$B = D$$

$$- (q / \varepsilon) n a \cdot L + C = - (q / \varepsilon) N A \cdot L + E$$

$$\begin{aligned} & (q/2\varepsilon) n_a \cdot L^2 - C \cdot L + D = (q/2\varepsilon) N_A \cdot L^2 - E \cdot L + F \\ & - (q/\varepsilon) N_A \cdot X_p + E = 0 \\ & (q/2\varepsilon) N_A \cdot X_p^2 - E \cdot X_p + F = 0 \end{aligned}$$

【0173】

数35は、8個の未知数である、 X_n 、 X_p 、 A 、 B 、 C 、 D 、 E 及び F を決定する方程式である。これを解くことにより、下記数36を得る。

【0174】

【数36】

$$\begin{aligned} X_n &= -L \cdot (N_A - n_a) / (N_A + N_D) \\ &+ L \cdot \{ (N_A / N_D) (N_A - n_a) (N_D + n_a) / (N_A + N_D)^2 + (x_n / L)^2 \}^{1/2} \\ X_p &= (1/N_A) \cdot [N_D \cdot X_n + (N_A - n_a) \cdot L] \end{aligned}$$

【0175】

ここで、数36における x_n は、先に図42の p - n 接合について解いた n 型拡散層への空乏層の伸びを示し、数29で表されるものである。また、最大電界 E_{max} は、 $X=0$ での電界であり、下記数37で表される。

【0176】

【数37】

$$E_{max} = A = (q/\varepsilon) N_D \cdot X_n$$

【0177】

このときの電界強度分布は、図43(b)に示した通りである。数36において、 L を0に限りなく近づけるか、或いはアクセプタ濃度 n_a を限りなく N_A に近づければ、 $X_n = x_n$ となることが確認される。

【0178】

以上の検討結果に基づいて、次に図40のセル構造の最適化条件を具体的に検討する。まず、図44は、 p 型拡散層の高アクセプタ濃度を $N_A = 5 \times 10^{18} / \text{cm}^3$ 、低アクセプタ濃度を $n_a = 1 \times 10^{17} / \text{cm}^3$ 、 n 型拡散層のドナー濃度を $N_D = 1 \times 10^{20} / \text{cm}^3$ 、印加電圧を $V = 2.0 \text{ V}$ 、周囲温度を 85°C として、低アクセプタ濃度領域の幅 L と、空乏層の伸び X_n 、 X_p の関係を求めた結果である。

【0179】

図40のセルにおいて、チャンネル長が $0.1\mu\text{m}$ であるとし、ソース、ドレインからの空乏層の伸びが対称であるとすれば、パンチスルーを生じないためには、 $X_p < 5 \times 10^{-6}\text{cm}$ であることが必要である。この条件を満たすためには、図44から、 $L < 4.0 \times 10^{-6}\text{cm} = 0.04\mu\text{m}$ でなければならない。ある程度の余裕を見ると、 $L = 0.02\mu\text{m}$ が妥当なところである。このとき、p型拡散層への空乏層の伸び X_p は、高アクセプタ濃度 N_A の領域に $0.01\mu\text{m}$ 食い込んでいることがわかる。

【0180】

図44と同様の条件で、最大電界強度 E_{max} の距離 L 依存性を示すと、図45のようになる。上に求めた妥当な距離 $L = 0.02\mu\text{m}$ のとき、最大電界強度は、 $E_{\text{max}} = 9.0 \times 10^5 \text{V/cm}$ である。これは、バルク領域全体を高アクセプタ濃度 $N_A = 5 \times 10^{18} / \text{cm}^3$ の領域のみで構成した場合と比べて、小さくなっているものの、まだ $1/2$ 程度までしか最大電界が弱められていない。更にこの電界の $1/3$ 程度まで小さくすることが望まれる。

【0181】

そこで次に、図43において、n型拡散層のドナー濃度 N_D を低くする効果を検討する。これは、空乏層がn型拡散層側にもより延びることになり、最大電界強度を弱めることが期待されるためである。

図46は、図44に対して、n型拡散層のドナー濃度 N_D を、 $N_D = 1 \times 10^{17} / \text{cm}^3$ と低くした場合について、低アクセプタ濃度領域の幅 L と、空乏層の伸び X_n 、 X_p の関係を求めた結果である。また、図47は、このときの最大電界強度 E_{max} の距離 L に対する依存性を、図35に対応させて示している。

【0182】

この結果から、ソース、ドレイン拡散層の濃度を下げれば、例えば、 $L = 0.025\mu\text{m}$ 、 $X_p = 0.03\mu\text{m}$ で、最大電界強度 $E_{\text{max}} = 3.0 \times 10^5 \text{V/cm}$ という値が得られる。この最適化条件での、図40のセル構造における寸法と空乏層の伸びの様子を図48に示す。

【0183】

ソース、ドレインのn型拡散層濃度を低くすると、これらに対するコンタクト抵抗が問題になる。これに対しては、通常のDRAMのビット線コンタクトについて行われているように、コンタクト孔に再拡散を行うことが好ましい。或いは、ソース、ドレイン拡散層の表面に金属シリサイド膜を形成するサリサイド構造を採用することも有効である。

【0184】

しかし、ソース、ドレインのn型拡散層濃度が $N_D = 1 \times 10^{17} / \text{cm}^3$ と低い場合、図48に示したように、 $X_n = 0.1 \mu\text{m}$ という大きい幅の空乏層がソース、ドレイン拡散層内にも延びる。この様なソース、ドレインの大きな空乏化を抑制するためには、いわゆるLDD構造を採用することが望ましい。

【0185】

図40のセル構造に対して、LDD構造を採用したセル構造の実施の形態を、図49に示す。ドレイン拡散層14が、チャンネル領域に接する低ドナー濃度のn型拡散層14aと、高ドナー濃度の n^+ 型拡散層14bとから構成される。ソース拡散層15についても同様に、チャンネル領域に接する低ドナー濃度のn型拡散層15aと、高ドナー濃度の n^+ 型拡散層15とから構成される。ソース、ドレイン拡散層及びゲート電極には、サリサイド工程により金属シリサイド膜18が形成されている。

但し、このLDD構造は、ドレイン、ソースのうち例えば、ビット線に接続されるドレイン側のみとすることもできる。

【0186】

次に、この様なLDD構造を採用したセル構造の場合の空乏層の伸び及び電界強度分布について具体的に検討する。図50(a)(b)は、このセル構造の例えばドレイン側接合に着目した模式的pn接合構造と電界分布を、図43(a)(b)と対応させて示している。n型拡散層は低ドナー濃度 n_d の領域と高ドナー濃度 N_D の領域からなり、p型拡散層は、低アクセプタ濃度 n_a の領域と高アクセプタ濃度 N_A の領域とからなる。低ドナー濃度 n_d の領域の幅は L_n とし、低アクセプタ濃度 n_a の領域の幅は L_p としてある。高ドナー濃度 N_D の領域と高アクセプタ濃度 N_A の領域はそれぞれ、ビット線コンタクト及びソース線コン

タクトの抵抗やトランジスタ特性上必要とされる制約で決まる濃度を持つものとする。

【0187】

空乏層の伸びが、 $X_p > L_p$ 、 $X_n > L_n$ となる様な逆バイアス条件を仮定する。このとき、ポアソンの方程式は、数33に対して、次の数38のように表される。高アクセプタ濃度 N_A の領域の電位 ϕ_A 、電界 E_A に対して、低アクセプタ濃度 n_a の領域の電位、電界をそれぞれ ϕ_a 、 E_a とし、高ドナー濃度 N_D の領域の電位 ϕ_D 、電界 E_D に対して、低ドナー濃度 n_d の領域の電位、電界をそれぞれ ϕ_d 、 E_d として示す。

【0188】

【数38】

$$d^2 \phi_D / dX^2 = - (q / 2 \epsilon) N_D \quad (-X_n < X < -L_n)$$

$$d^2 \phi_d / dX^2 = - (q / 2 \epsilon) n_d \quad (-L_n < X < 0)$$

$$d^2 \phi_a / dX^2 = (q / 2 \epsilon) n_a \quad (0 < X < L_p)$$

$$d^2 \phi_A / dX^2 = (q / 2 \epsilon) N_A \quad (L_p < X < X_p)$$

$$E_D = - d \phi_D / dX \quad (-X_n < X < -L_n)$$

$$E_d = - d \phi_d / dX \quad (-L_n < X < 0)$$

$$E_a = - d \phi_a / dX \quad (0 < X < L_p)$$

$$E_A = - d \phi_A / dX \quad (L_p < X < X_p)$$

【0189】

境界条件は、次の数39で表される。

【0190】

【数39】

$$E_D(-X_n) = 0$$

$$\phi_D(-X_n) = \phi_{bi} + V$$

$$E_D(-L_n) = E_d(-L_n)$$

$$\phi_D(-L_n) = \phi_d(-L_n)$$

$$E_d(0) = E_a(0)$$

$$\phi_d(0) = \phi_a(0)$$

$$E a (L p) = E A (L p)$$

$$\phi a (L p) = \phi A (L p)$$

$$E A (X p) = 0$$

$$\phi A (X p) = 0$$

【0191】

数38を解くと、下記数40が得られる。

【0192】

【数40】

$$E D = (q / \varepsilon) N D \cdot X + A \quad (-X_n < X < -L_n)$$

$$\phi D = - (q / 2 \varepsilon) N D \cdot X^2 - A \cdot X + B \quad (-X_n < X < -L_n)$$

$$E d = (q / \varepsilon) n d \cdot X + C \quad (-L_n < X < 0)$$

$$\phi d = - (q / 2 \varepsilon) n d \cdot X^2 - C \cdot X + D \quad (-L_n < X < 0)$$

$$E a = - (q / \varepsilon) n a \cdot X + E \quad (0 < X < L_p)$$

$$\phi a = (q / 2 \varepsilon) n a \cdot X^2 - E \cdot X + F \quad (0 < X < L_p)$$

$$E A = - (q / \varepsilon) N A \cdot X + G \quad (L_p < X < X_p)$$

$$\phi A = (q / 2 \varepsilon) N A \cdot X^2 - G \cdot X + H \quad (L_p < X < X_p)$$

【0193】

数40において、A～Hは、数39の境界条件で決まる定数である。数40の解を数39の境界条件の式に代入すると、次の数41が得られる。

【0194】

【数41】

$$- (q / \varepsilon) N D \cdot X_n + A = 0$$

$$- (q / 2 \varepsilon) N D \cdot X_n^2 + A \cdot X_n + B = \phi b i + V$$

$$- (q / \varepsilon) n d \cdot L_n + C = - (q / \varepsilon) N D \cdot L_n + A$$

$$\begin{aligned} & - (q / 2 \varepsilon) n d \cdot L_n^2 + C \cdot L_n + D \\ & = - (q / \varepsilon) N D \cdot L_n^2 + A \cdot L_n + B \end{aligned}$$

$$C = E$$

$$D = F$$

$$- (q / \varepsilon) n a \cdot L_p + E = - (q / \varepsilon) N A \cdot L_p + G$$

$$\begin{aligned}
& (q/2\varepsilon) n_a \cdot L_p^2 - E \cdot L_p + F \\
& = (q/2\varepsilon) N_A \cdot L_p^2 - G \cdot L_p + H \\
& - (q/\varepsilon) N_A \cdot X_p + G = 0 \\
& (q/2\varepsilon) N_A \cdot X_p^2 - G \cdot X_p + H = 0
\end{aligned}$$

【0195】

数41の10個の方程式を解くと、10個の変数 X_n , X_p , $A \sim H$ が求められる。空乏層の幅 L_n , L_p は、次の数42で表される。

【0196】

【数42】

$$\begin{aligned}
X_n &= [(ND - n_d)L_n - (NA - n_a)L_p] / (NA + ND) + \\
& [1/(NA + ND)] (NA/ND)^{1/2} \cdot [(NA - n_a)(ND + n_a)L_p^2 + (ND - n_d)(NA + n_d)L_n^2 + \\
& 2(NA - n_a)(ND - n_d)L_pL_n + (NA + ND)(2\varepsilon/q)(\phi_{bi} + V)]^{1/2} \\
X_p &= [(NA - n_a)L_p - (ND - n_d)L_n] / (NA + ND) + \\
& [1/(NA + ND)] (ND/NA)^{1/2} \cdot [(ND - n_d)(NA + n_d)L_n^2 + (NA - n_a)(ND + n_a)L_p^2 + \\
& 2(ND - n_d)(NA - n_a)L_pL_n + (NA + ND)(2\varepsilon/q)(\phi_{bi} + V)]^{1/2}
\end{aligned}$$

【0197】

電界強度分布は、図50(b)のようになり、最大電界 E_{max} は、 $X=0$ の点でのそれであり、数40の第3式から、下記数43で与えられる。

【0198】

【数43】

$$E_{max} = C = (q/\varepsilon) \{N_A \cdot X_p - (N_A - n_a)/L_p\}$$

【0199】

以上において計算した X_p , X_n 及び E_{max} を具体的な数値を入れて求めた結果を次に説明する。

図51は、p型拡散層の高アクセプタ濃度を $N_A = 5 \times 10^{18}/\text{cm}^3$ 、低アクセプタ濃度を $n_a = 1 \times 10^{17}/\text{cm}^3$ 、n型拡散層の高ドナー濃度を $ND = 1 \times 10^{19}/\text{cm}^3$ 、低ドナー濃度を $n_d = 2 \times 10^{17}/\text{cm}^3$ とし、印加電圧を $V = 2.0\text{ V}$ 、周囲温度を 85°C として、低ドナー濃度領域の幅を $L_n = 0.03\text{ }\mu\text{m}$ に固定した場合の、低アクセプタ濃度領域の幅 L_p と、空乏層の伸び X_n

、 X_p の関係を求めた結果である。

図52は、同様の条件で最大電界強度 E_{max} を求めた結果である。

【0200】

これらの結果から、 $L_p = 0.025 \mu m$ に設定すれば、 $X_p = 0.03 \mu m$ となり、最大電界強度は $E_{max} = 5.0 \times 10^5 V/cm$ となる。

図53は、上述の最大電界強度のときの図49のセル構造における空乏層の拡がり方と各部の寸法をドレイン領域側について示している。

【0201】

上述の最大電界強度は、図43で解析したように、ソース、ドレイン拡散層に低濃度層がない場合のそれに比べて、 $1/3$ 以下になっている。従って、図49に示したように、バルク領域を高濃度層と低濃度層により形成すると同時に、ドレイン及びソースをLDD構造とすることによって、最大電界強度を抑えてリーク電流を小さくすること、また基板バイアス効果を十分に発揮させることが可能になる。即ち、先の相反する条件1, 2を満足して、優れたDRAM特性を得ることができる。

【0202】

次に、図49に示したメモリセルMCの構造を実現するための具体的な製造方法を、図54乃至図57を参照して説明する。図49のメモリセルMCは実際には、図3及び図4で説明したと同様のセルアレイとして配置される。即ち、p型シリコン層12は、紙面に直交する方向の側面が素子分離絶縁膜に接する状態でストライプ状の素子領域としてパターン形成されるが、その素子分離工程の説明は省略する。

【0203】

図54に示すように、p型シリコン層12（低濃度p型層12aとなる）の表面にまず、素子領域に開口を持つマスク31を形成し、更にこのマスク31の開口側壁に側壁絶縁膜32を形成する。具体的に、マスク31は例えばシリコン酸化膜を堆積してRIEによりパターンニングする。そして、シリコン窒化膜を堆積し、エッチバックを行って側壁絶縁膜32として残す。この状態で、ボロンイオン注入を行って、p型シリコン層12に高濃度の p^+ 型層12bを形成する。

【0204】

次に、図55に示すように、側壁絶縁膜32を選択的にエッチング除去した後、露出したp型シリコン層12の表面にゲート絶縁膜16を形成し、多結晶シリコン膜を堆積して平坦化处理を行って、ゲート電極13を埋め込む。

【0205】

次いで、マスク31をエッチング除去し、ゲート電極13をマスクとして砒素イオン注入を行って、低濃度のドレイン、ソース拡散層14a, 15aを形成する。そして、図47に示すように、ゲート電極13の側壁に側壁絶縁膜33を形成し、再度砒素イオン注入を行って、高濃度のドレイン、ソース拡散層14b, 15bを形成する。この後、サリサイド工程によって、図49に示すように、ドレイン、ソース拡散層14, 15及びゲート電極13上に金属シリサイド膜18を形成する。

【0206】

以上のように、ゲート電極の形成にダマシーン法を適用することにより、トランジスタのバルク領域のうち、チャネル長方向の中央部にセルフアラインされた状態で p^+ 型層12bを形成することができる。

【0207】

セルトランジスタのバルク領域中央部を高濃度層とする構造は、セルトランジスタをプレーナ構造とする場合に限られない。図58A及び図58Bは、柱状の半導体層を用いて、この発明に係る1トランジスタ／1セル構造を実現した実施の形態について、一つのメモリセルMC部の平面図とそのA-A'断面図を示している。

【0208】

シリコン基板40に、柱状シリコン層49が形成されて、この柱状シリコン層49の側周面を利用して、いわゆるSGT (Surrounding Gate Transistor) が作られる。柱状シリコン層49は、底部に n^+ 型ソース拡散層43が形成され、高さ方向に、p型層45により挟まれた状態で p^+ 型層46を有する。柱状シリコン層49の表面には n^+ 型ドレイン拡散層44が形成される。

【0209】

柱状シリコン層41の側周面にゲート絶縁膜41が形成され、これを取り囲んでゲート電極42が形成される。ゲート電極42は、一方向に連続的に形成されてワード線WLとなる。この様に形成されたSGTは層間絶縁膜47で覆われ、この上にビット線(BL)48が形成される。ビット線48は、 n^+ 型拡散層44に接続される。

【0210】

このSGT構造のメモリセルも、バルク領域がフローティングであり、先の実施の形態で説明したと同様の書き込み方式により、バルク領域に過剰の多数キャリアを保持し、或いはこれを放出するという動作により、ダイナミックなデータ記憶ができる。そして、バルク領域の中央部に配置した高濃度 p^+ 型層46と低濃度 p 型層45との不純物濃度や寸法の最適化を行うことによって、二値データのしきい値電圧差を大きくする十分な基板バイアス効果を得られ、またリーク電流を低減して優れたデータ保持特性を得ることが可能になる。

【0211】

図59A及び図59Bは、更に他の実施の形態による1トランジスタ/1セルのDRAMセル構造を示している。図59Aは、ビット線(BL)58を仮想線で示して、それ以下の構造を分かりやすくした斜視図であり、図59Bはビット線方向に沿った断面図を示している。

【0212】

この実施の形態の場合、シリコン基板50上にシリコン酸化膜51で分離された p 型シリコン層52（これが低濃度層52aとなる）が、上面及び両側面を露出した状態で島状に形成される。そしてこのシリコン層52の上面及び両側面に、ゲート絶縁膜54を介してゲート電極54を形成して、セルトランジスタが構成される。ゲート電極54は一方向に連続的にパターンニングされてワード線WLとなる。

【0213】

シリコン層52のトランジスタ領域には、チャネル長方向中央部に高濃度の p^+ 型層52bが形成される。ドレイン、ソース拡散層55、56は、低濃度 n 型

拡散層 55a, 56a と高濃度 n^+ 型拡散層 55b, 56b とから構成された LDD 構造としている。トランジスタ領域は層間絶縁膜 57 で覆われ、この上にド레인拡散層にコンタクトするビット線 58 が形成される。

【0214】

この実施の形態のメモリセルも、バルク領域がフローティングであり、先の実施の形態で説明したと同様の書き込み方式により、バルク領域に過剰の多数キャリアを保持し、或いはこれを放出するという動作により、ダイナミックなデータ記憶ができる。そして、バルク領域の中央部に配置した高濃度 p^+ 型層 52b と低濃度 p 型層 52a との不純物濃度や寸法の最適化を行うことによって、二値データのしきい値電圧差を大きくする十分な基板バイアス効果を得られ、またリーク電流を低減して優れたデータ保持特性を得ることが可能になる。

【0215】

この発明は上記実施の形態に限られない。実施の形態では p 型シリコン層に形成した NMOS トランジスタを用いたが、 n 型シリコン層を用いた P チャンネル MOS トランジスタをメモリセルとしても同様の原理でダイナミック記憶が可能である。この場合、多数キャリアとして電子のバルク領域での蓄積と放出を利用することになる。

また、実施の形態では SOI 基板を用いたが、 pn 接合分離によりフローティングとした半導体層を用いた MOS トランジスタにより、同様の原理のメモリセルを構成することも可能である。

【0216】

【発明の効果】

以上述べたようにこの発明によれば、単純なトランジスタ構造をメモリセルとして、少ない信号線で二値データのダイナミック記憶を可能とした半導体メモリ装置を提供することができる。

【図面の簡単な説明】

【図 1】

この発明による DRAM のメモリセル構造を示す断面図である。

【図 2】

同 DRAM のメモリセルの等価回路である。

【図 3】

同 DRAM のメモリセルアレイのレイアウトである。

【図 4】

図 3 の A-A' 及び B-B' 断面図である。

【図 5】

同 DRAM セルのワード線電位とバルク電位の関係を示す図である。

【図 6】

同 DRAM セルの読み出し方式を説明するための図である。

【図 7】

同 DRAM セルの他の読み出し方式を説明するための図である。

【図 8】

同 DRAM の “ 1 ” データ読み出し／リフレッシュの動作波形を示す図である。

【図 9】

同 DRAM の “ 0 ” データ読み出し／リフレッシュの動作波形を示す図である。

【図 10】

同 DRAM の “ 1 ” データ読み出し／ “ 0 ” データ書き込みの動作波形を示す図である。

【図 11】

同 DRAM の “ 0 ” データ読み出し／ “ 1 ” データ書き込みの動作波形を示す図である。

【図 12】

同 DRAM の他の読み出し方式による “ 1 ” データ読み出し／リフレッシュの動作波形を示す図である。

【図 13】

同 DRAM の他の読み出し方式による “ 0 ” データ読み出し／リフレッシュの動作波形を示す図である。

【図 1 4】

同 DRAM の他の読み出し方式による “ 1 ” データ読み出し / “ 0 ” データ書き込みの動作波形を示す図である。

【図 1 5】

同 DRAM の他の読み出し方式による “ 0 ” データ読み出し / “ 1 ” データ書き込みの動作波形を示す図である。

【図 1 6】

同 DRAM セルのゲート容量 C_{gb} - 電圧 V_{gb} の特性を示す図である。

【図 1 7】

同 DRAM セルの定電流読み出し方式による等価回路図である。

【図 1 8】

同 DRAM セルの読み出し動作によるビット線電位変化を示す図である。

【図 1 9】

同 DRAM セルの “ 0 ” 書き込み速度を説明するための等価回路である。

【図 2 0】

図 1 9 の p 型層の電位変化を示す図である。

【図 2 1】

同 DRAM セルの “ 0 ” データセルのゲート容量 C_{gb} - 電圧 V_{gb} 曲線 (p 型多結晶シリコンゲートの場合) を示す図である。

【図 2 2】

同じく “ 0 ” データセルのワード線電位 V_{wl} とバルク電位 V_B の関係を示す図である。

【図 2 3】

同 DRAM セルの “ 1 ” データセルのワード線電位 V_{wl} とバルク電位 V_B の関係を示す図である。

【図 2 4】

“ 1 ” データセルのゲート容量 C_{gb} - 電圧 V_{gb} 曲線 (p 型多結晶シリコンゲートの場合) を示す図である。

【図 2 5】

“ 1 ” データセルのゲート容量 C_{gb} - 電圧 V_{gb} 曲線（ n 型多結晶シリコンゲートの場合）を示す図である。

【図 2 6】

“ 1 ” データセルのワード線電位 V_{wl} とバルク電位 V_B の関係（ n 型多結晶シリコンゲートの場合）を示す図である。

【図 2 7】

“ 0 ” データセルのゲート容量 C_{gb} - 電圧 V_{gb} 曲線（ p 型多結晶シリコンゲートの場合）を示す図である。

【図 2 8】

同 “ 0 ” データセルのワード線電位 V_{wl} とバルク電位 V_B の関係（ n 型多結晶シリコンゲートの場合）を示す図である。

【図 2 9】

薄いシリコン層を用いた場合の “ 1 ” データセルのゲート容量 C_{gb} - 電圧 V_{gb} 曲線（ p 型多結晶シリコンゲートの場合）を示す図である。

【図 3 0】

同 “ 1 ” データセルのワード線電位 V_{wl} とバルク電位 V_B の関係を示す図である。

【図 3 1】

薄いシリコン層を用いた場合の “ 0 ” データセルのゲート容量 C_{gb} - 電圧 V_{gb} 曲線（ p 型多結晶シリコンゲートの場合）を示す図である。

【図 3 2】

同 “ 0 ” データセルのワード線電位 V_{wl} とバルク電位 V_B の関係を示す図である。

【図 3 3】

シリコン層の不純物濃度と “ 0 ” , “ 1 ” データのしきい値の差との関係を示す図である。

【図 3 4】

同じくシリコン層の不純物濃度と “ 1 ” データセルのセル電流の関係を示す図である。

【図 3 5】

同じくシリコン層の不純物濃度と読み出し時のビット線電位変化の時間の関係を示す図である。

【図 3 6】

“ 1 ” データセルのデータ保持時のバルク電位としきい値の関係（p 型多結晶シリコンゲートの場合）を示す図である。

【図 3 7】

“ 1 ” データセルのデータ保持時のバルク電位としきい値の関係（n 型多結晶シリコンゲートの場合）を示す図である。

【図 3 8】

ワード線電位変化としきい値ばらつきの関係を示す図である。

【図 3 9】

この発明によるセンスアンプレイアウトの例を示す図である。

【図 4 0】

他の実施の形態による D R A M セル構造を図 1 に対応させて示す断面図である。

【図 4 1】

M O S トランジスタのバルク電位としきい値電圧の関係を示す図である。

【図 4 2】

図 4 0 のセル構造の有効性を検討するための予備検討のための基本的な p n 接合構造とその電界分布を示す図である。

【図 4 3】

図 4 0 のセル構造の有効性を検討するためのドレイン側の p n 接合構造とその電界分布を示す図である。

【図 4 4】

図 4 3 における低濃度 p 型層の幅と空乏層の伸びの関係を示す図である。

【図 4 5】

同じく低濃度 p 型層の幅と最大電界強度の関係を示す図である。

【図 4 6】

n 型拡散層の濃度をより低くした場合について、図 4 4 に対応する低濃度 p 型層の幅と空乏層の伸びの関係を示す図である。

【図 4 7】

同じく低濃度 p 型層の幅と最大電界強度の関係を示す図である。

【図 4 8】

図 4 0 のセル構造の最適化条件での空乏層の伸びの様子を示す図である。

【図 4 9】

図 4 0 のセル構造を改良した実施の形態のセル構造を示す断面図である。

【図 5 0】

図 4 9 のセル構造の有効性を検討するためのドレイン側の p n 接合構造とその電界分布を示す図である。

【図 5 1】

図 5 0 における低濃度 p 型層の幅と空乏層の伸びの関係を示す図である。

【図 5 2】

同じく低濃度 p 型層の幅と最大電界強度の関係を示す図である。

【図 5 3】

図 4 9 のセル構造の最適化条件での空乏層の伸びの様子を示す図である。

【図 5 4】

図 4 9 のセルの製造工程を説明するための図である。

【図 5 5】

図 4 9 のセルの製造工程を説明するための図である。

【図 5 6】

図 4 9 のセルの製造工程を説明するための図である。

【図 5 7】

図 4 9 のセルの製造工程を説明するための図である。

【図 5 8 A】

他の実施の形態によるセル構造を示す平面図である。

【図 5 8 B】

図 5 8 A の A - A ' 断面図である。

【図 5 9 A】

他の実施の形態によるセル構造を示す斜視図である。

【図 5 9 B】

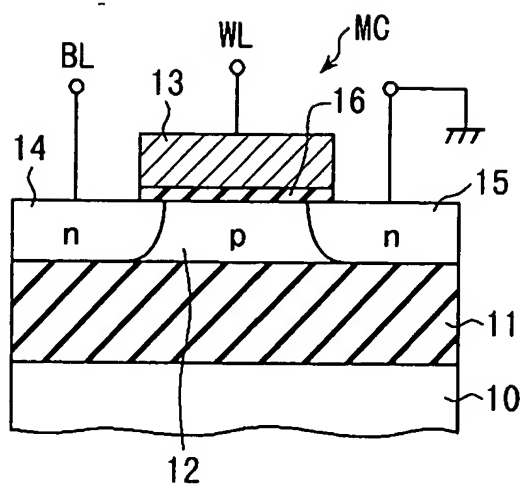
図 5 9 A のビット線方向に沿った断面図である。

【符号の説明】

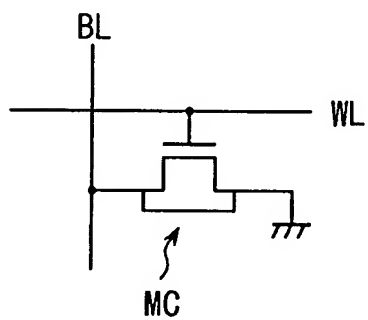
10 … シリコン基板、11 … シリコン酸化膜、12 … シリコン層（フローティング）、12 … ゲート酸化膜、13 … ゲート電極（ワード線）、14 … n 型ドレイン拡散層（ビット線）、15 … n 型ソース拡散層（固定電位）。

圖面

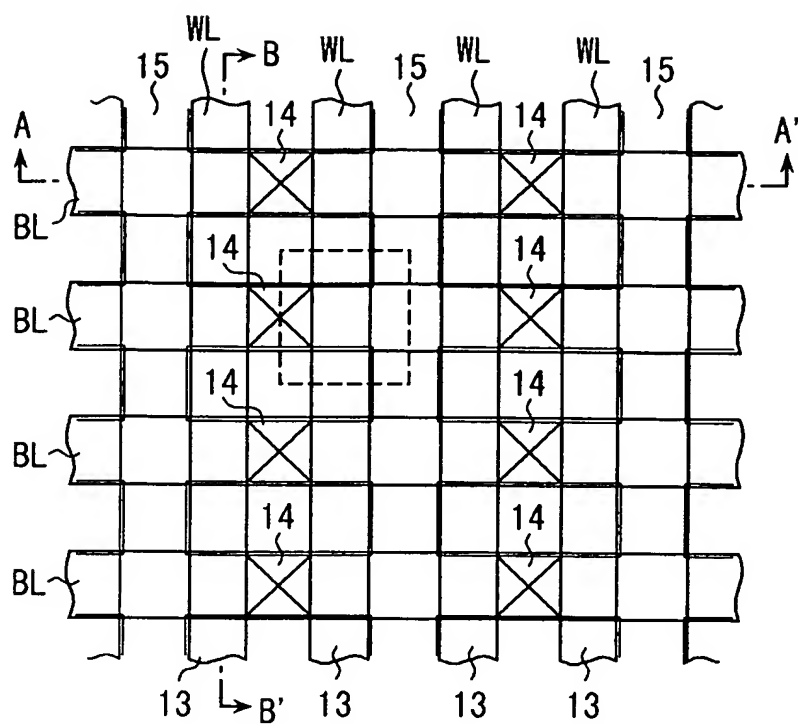
【圖 1】



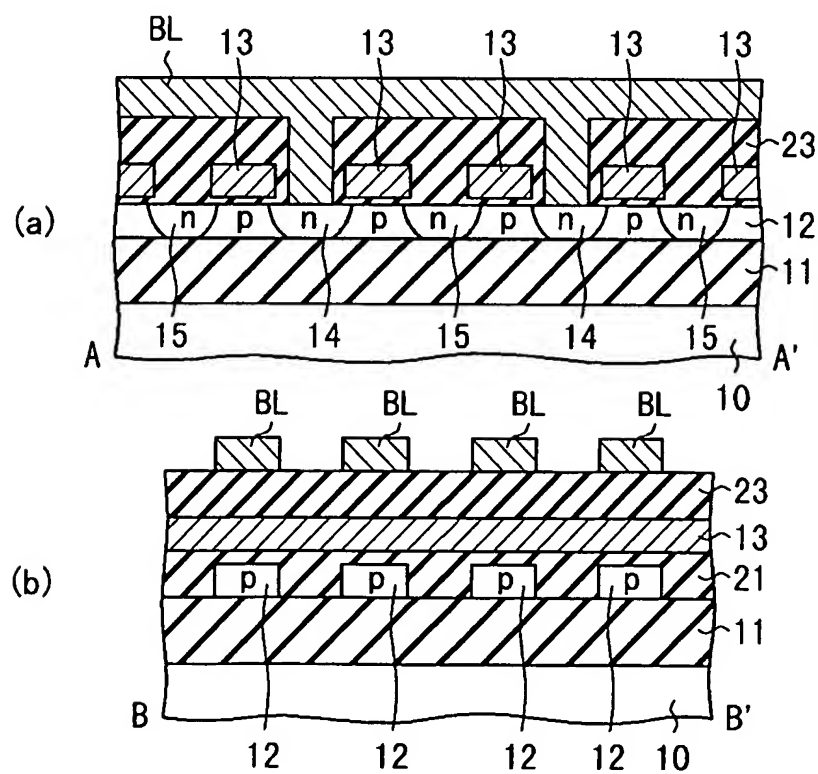
【圖 2】



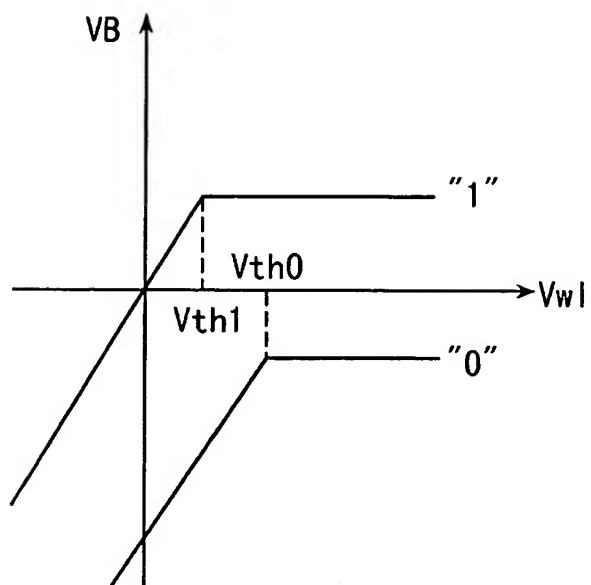
【圖 3】



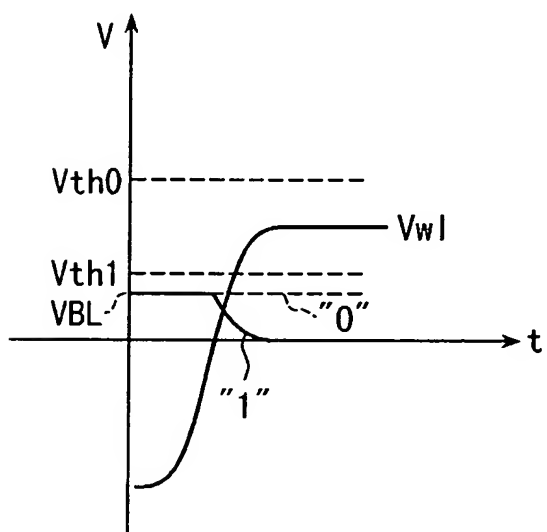
【圖 4】



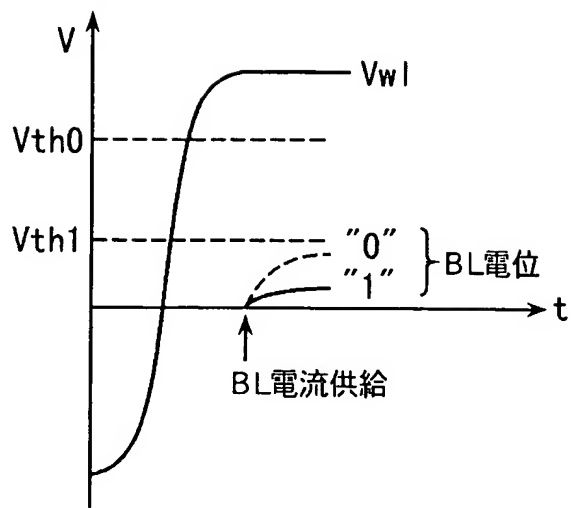
【図 5】



【図 6】

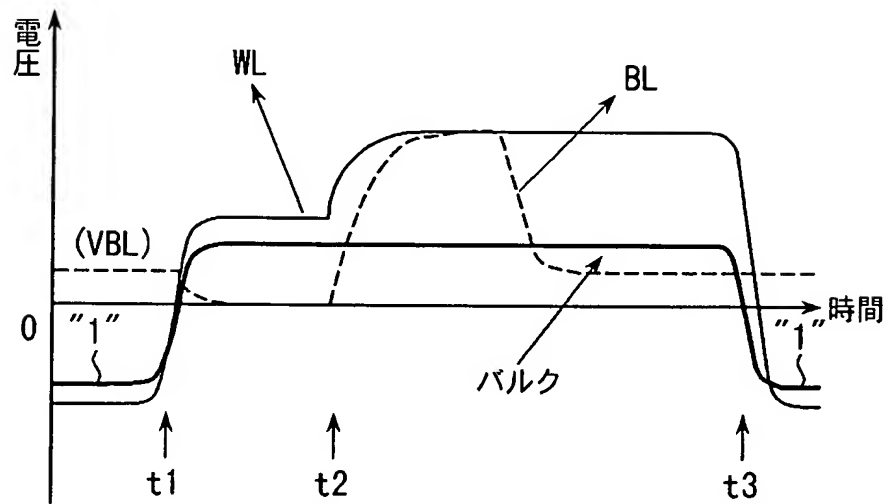


【図 7】



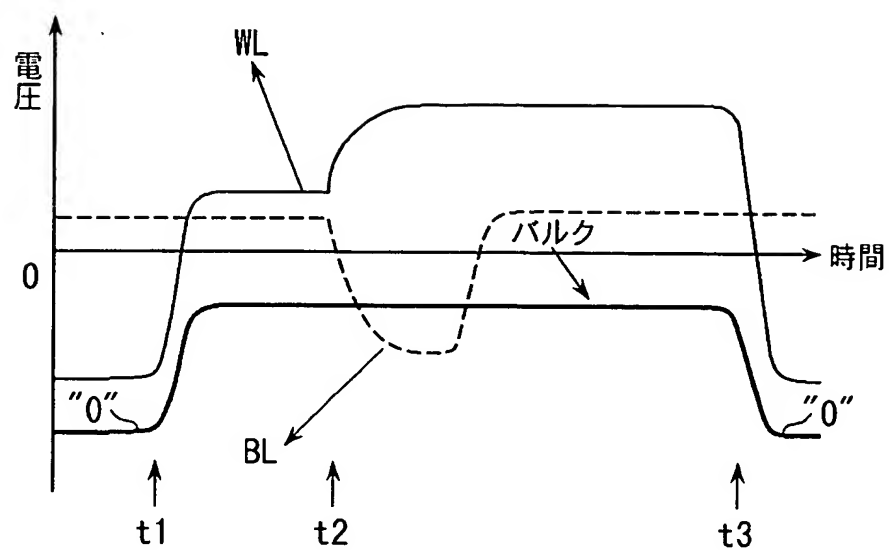
【図 8】

"1" read/refresh



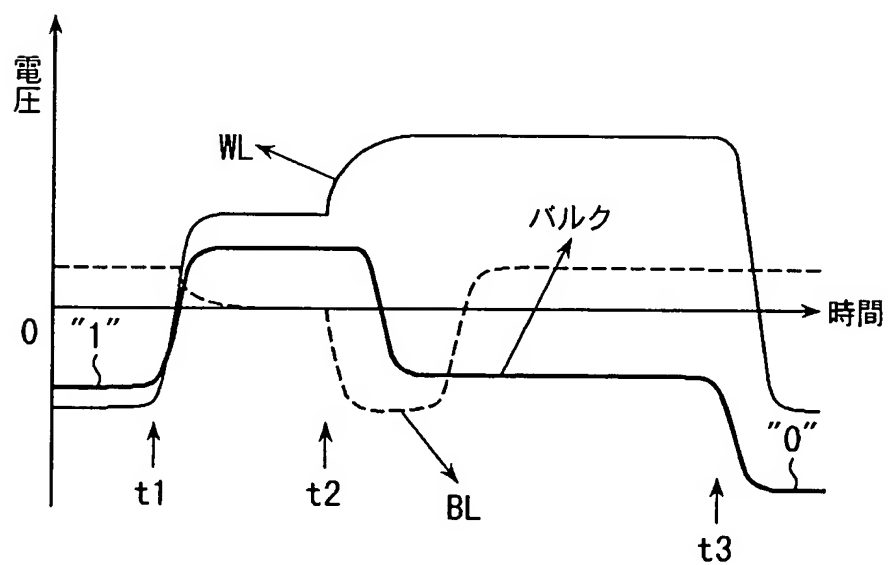
【図 9】

"0" read/refresh



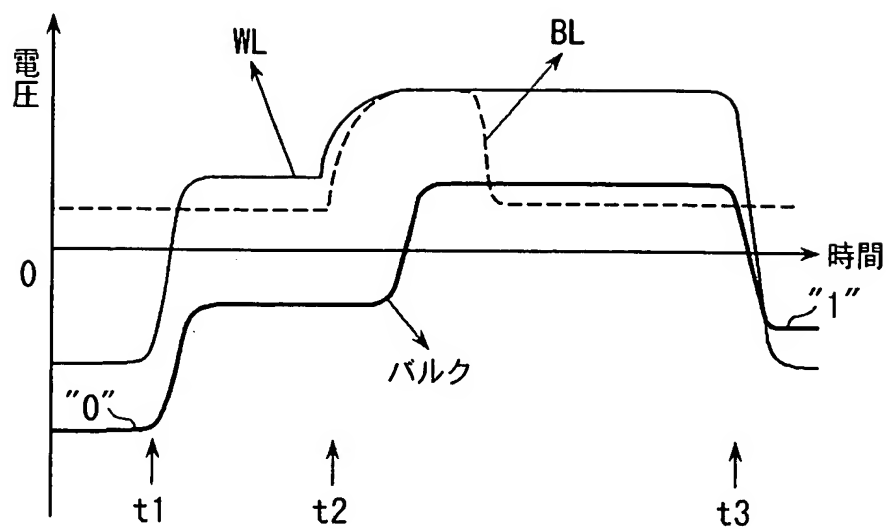
【図 10】

"1" read/"0" write



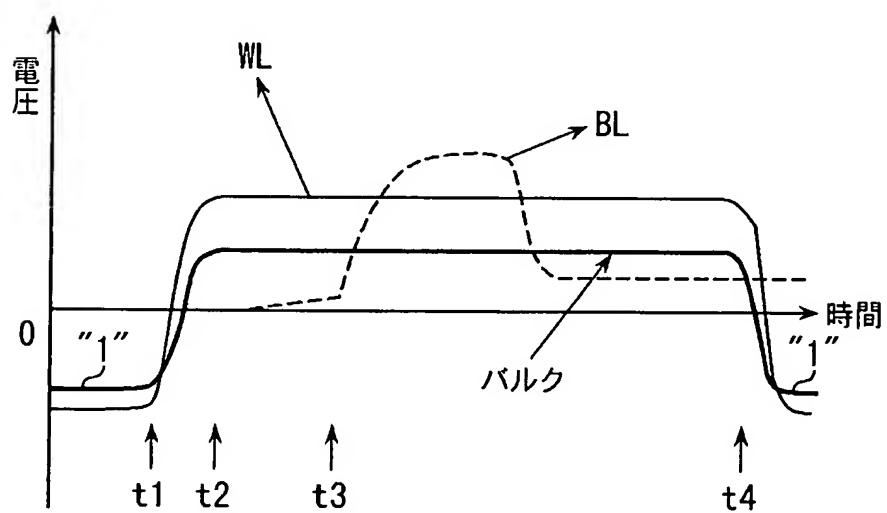
【図 1 1】

"0" read/"1" write



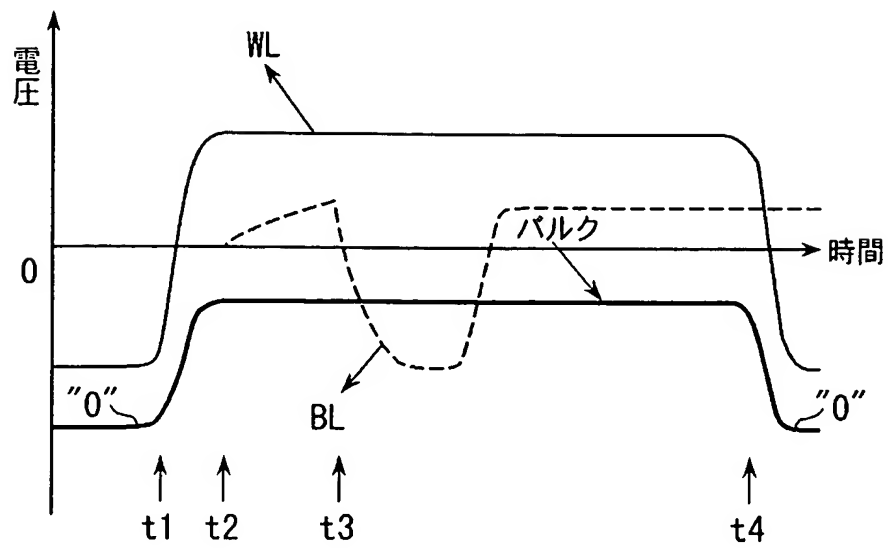
【図 1 2】

"1" read/refresh



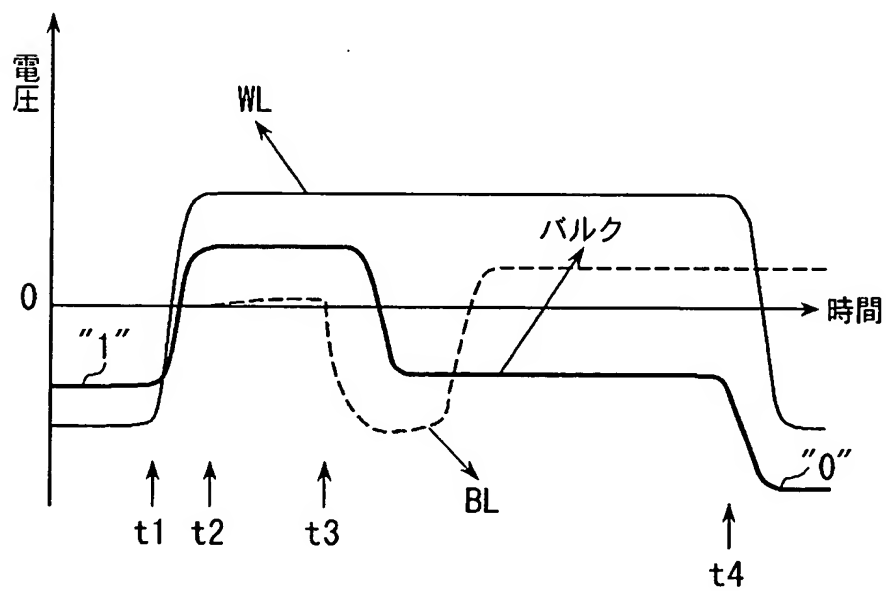
【図 1 3】

"0" read/refresh



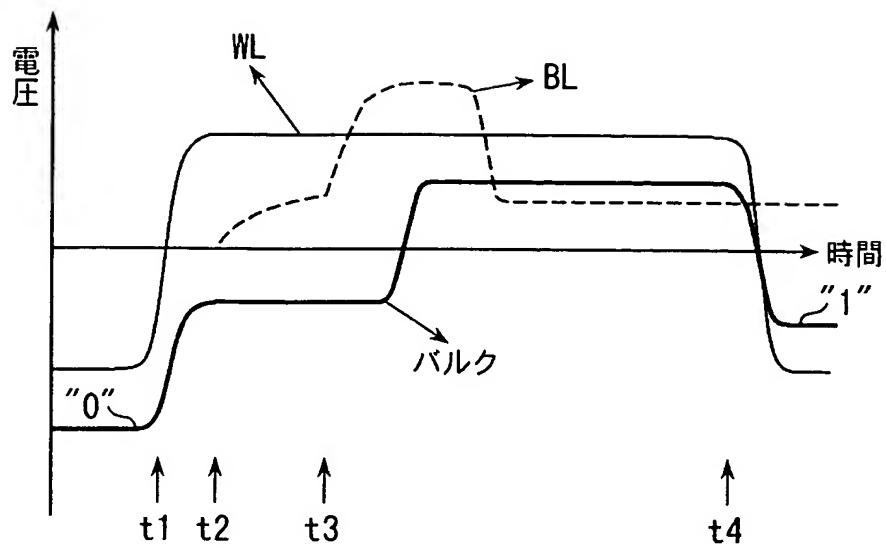
【図 1 4】

"1" read/"0" write

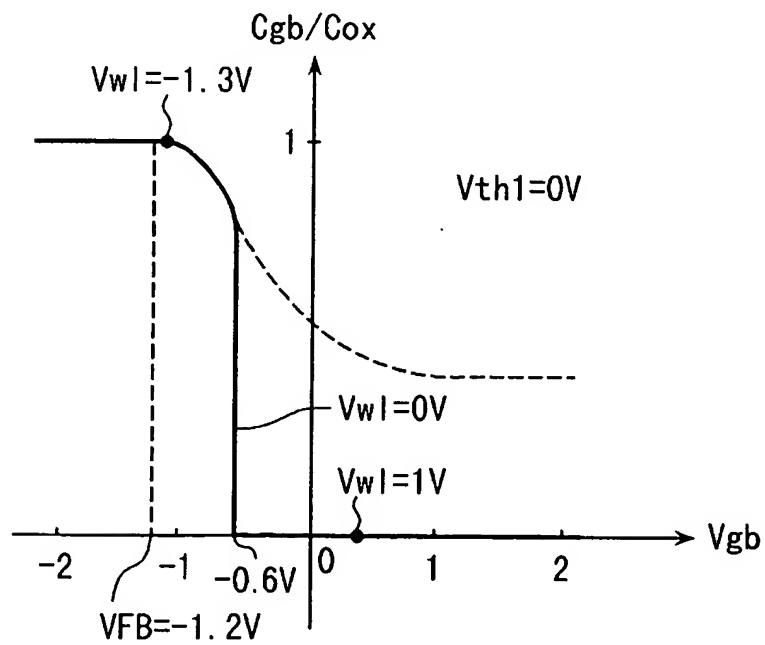


【図15】

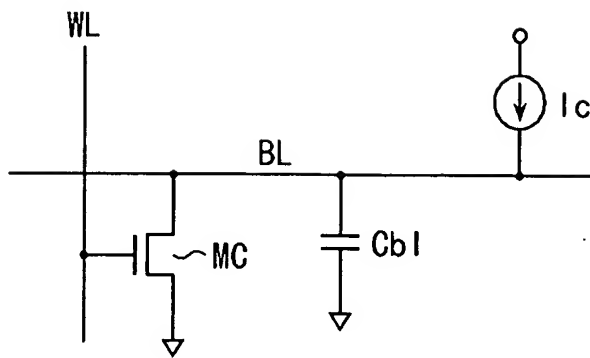
"0"read/"1"write



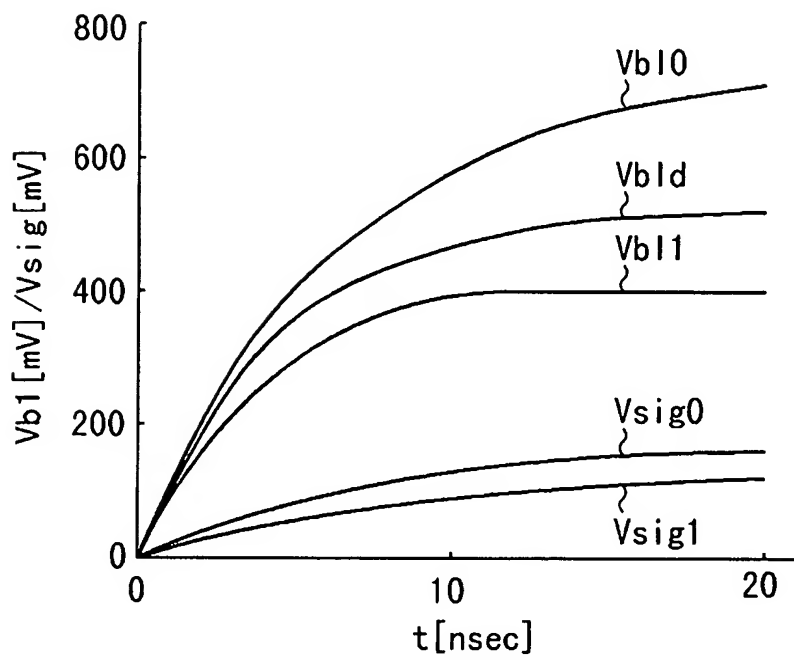
【図16】



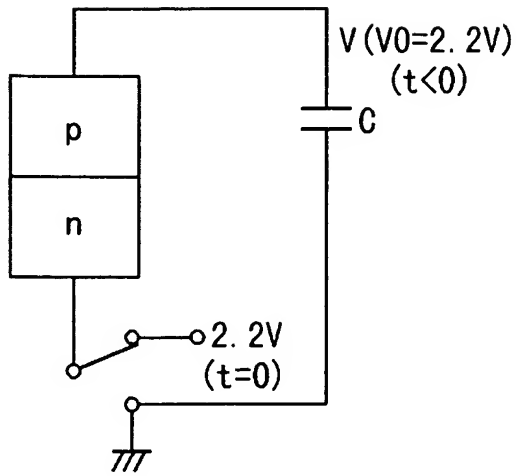
【図 17】



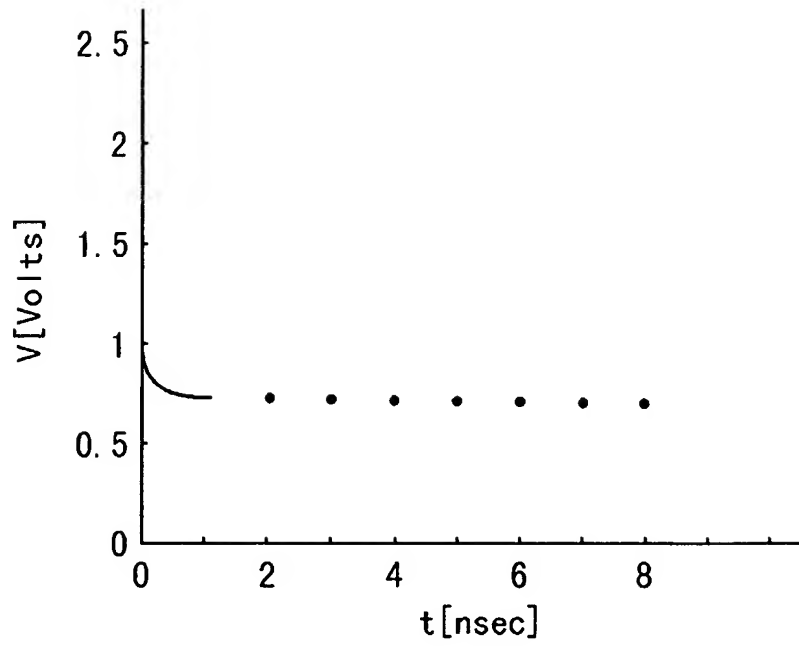
【図 18】



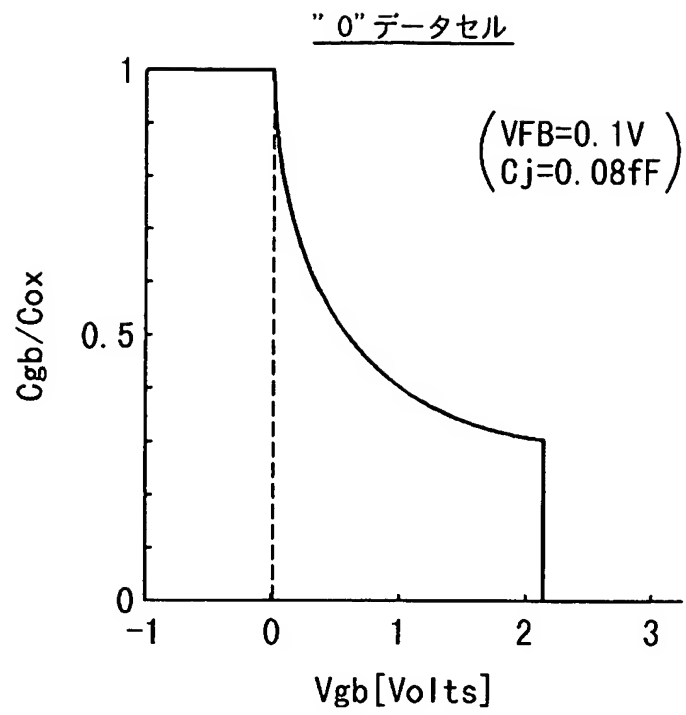
【図 19】



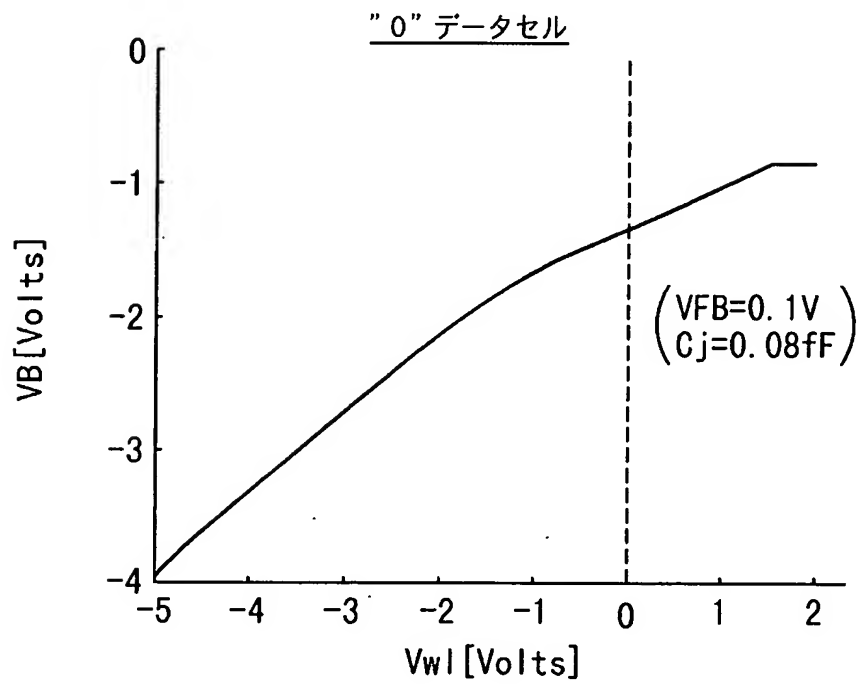
【図 20】



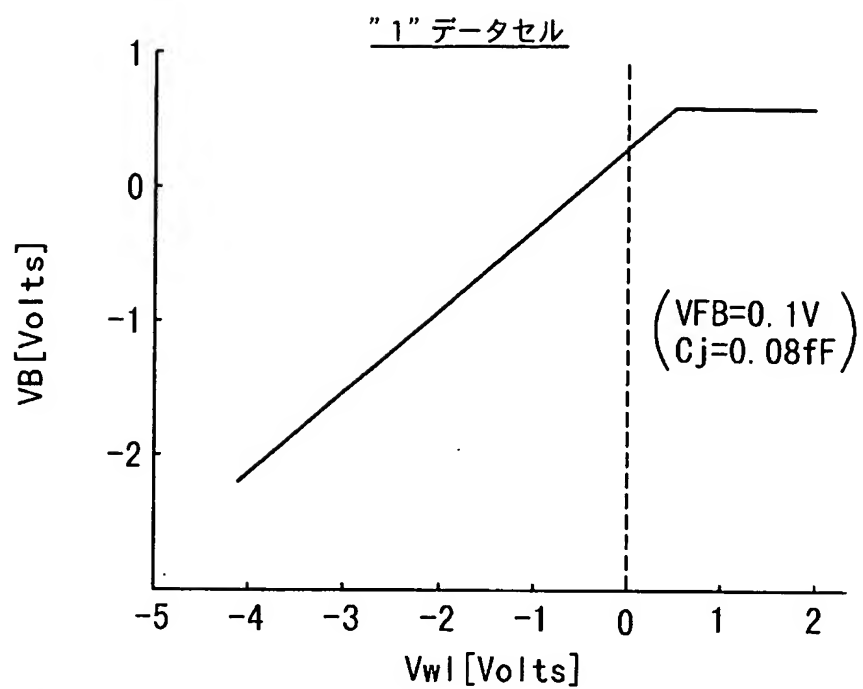
【図 2 1】



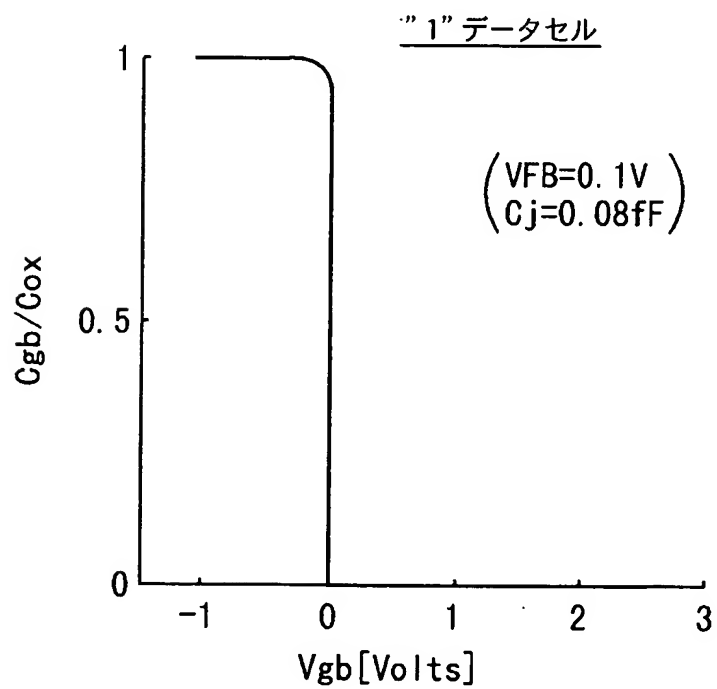
【図 2 2】



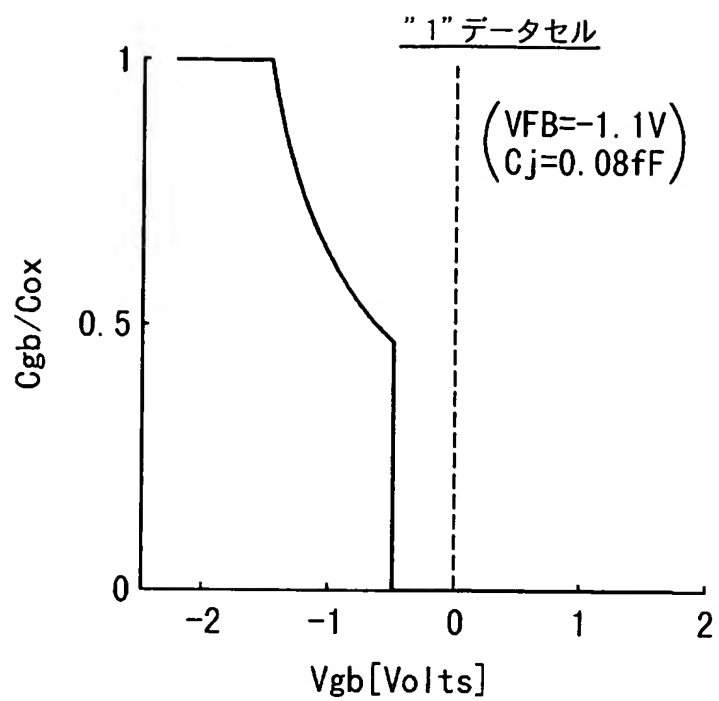
【図 2 3】



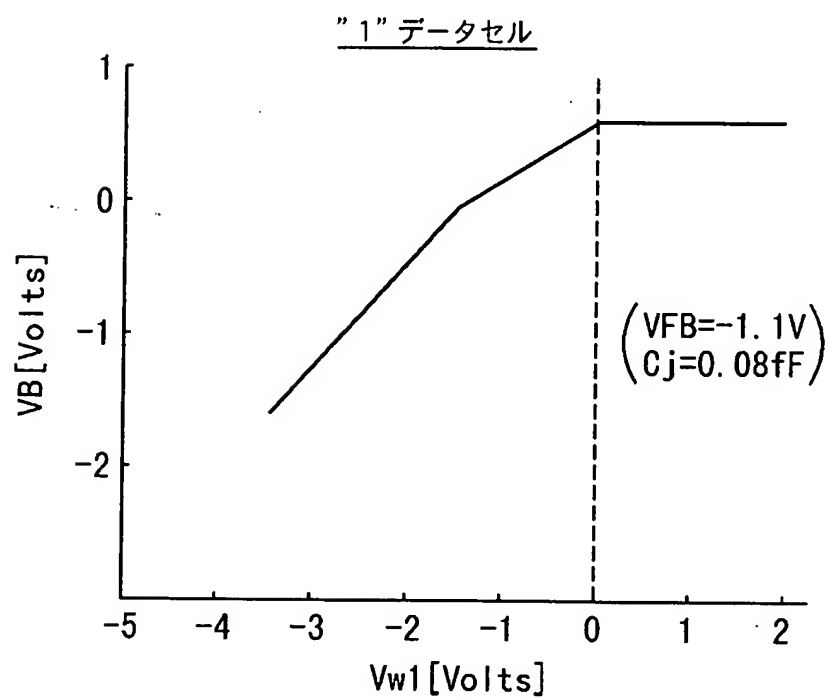
【図 2 4】



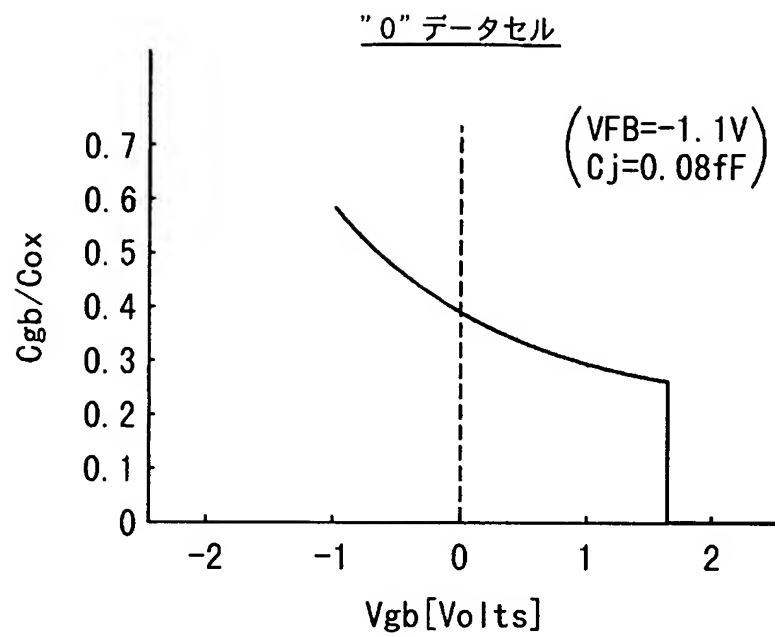
【図 2 5】



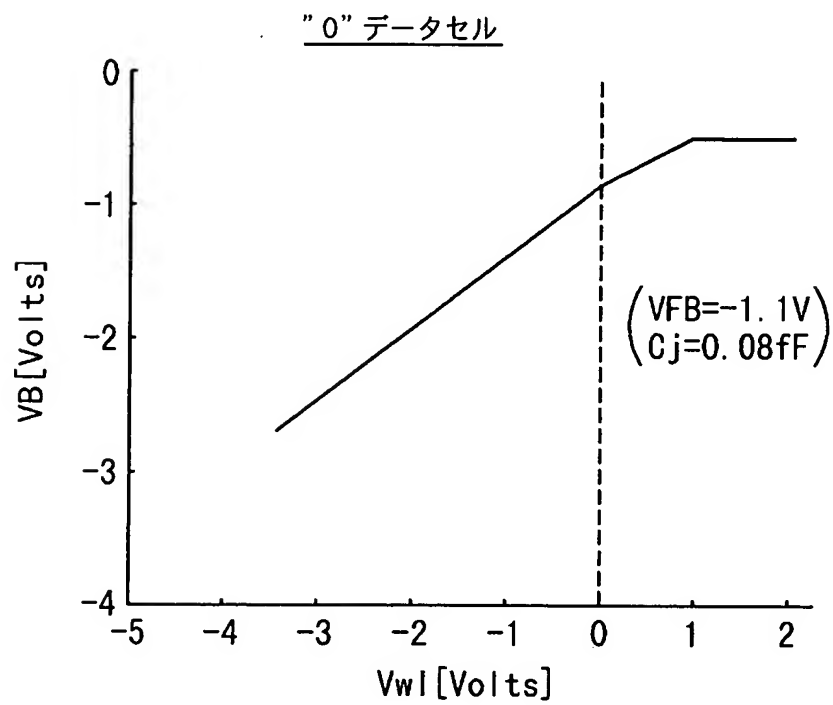
【図 2 6】



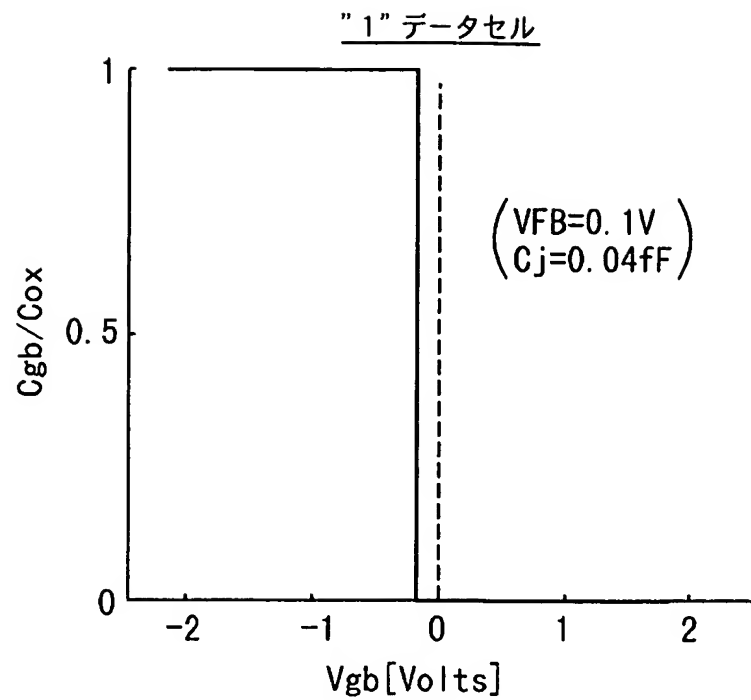
【図 2 7】



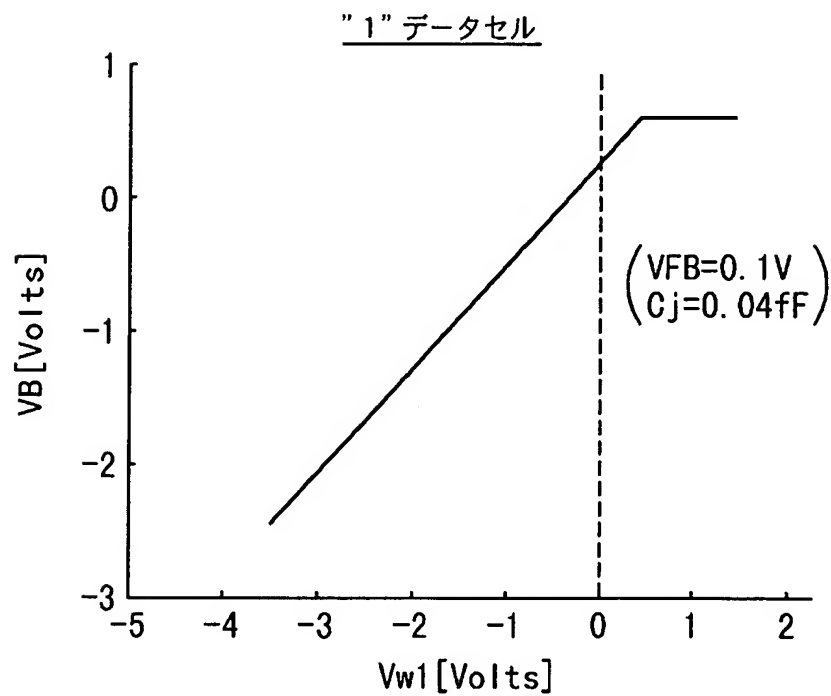
【図 2 8】



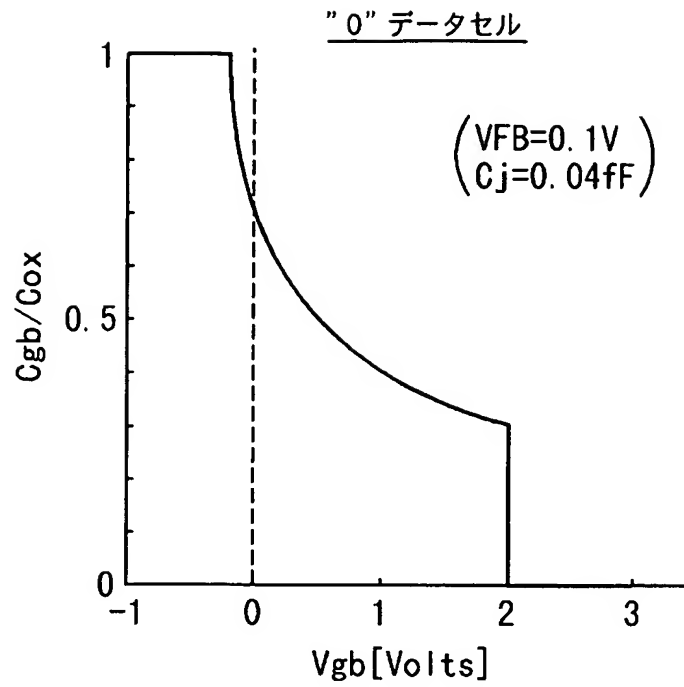
【図 2 9】



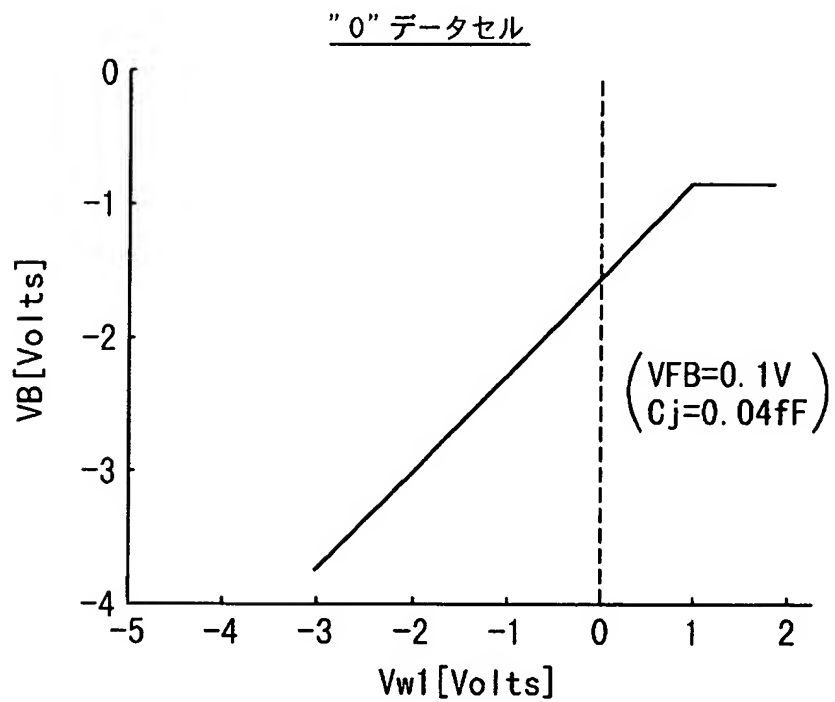
【図 3 0】



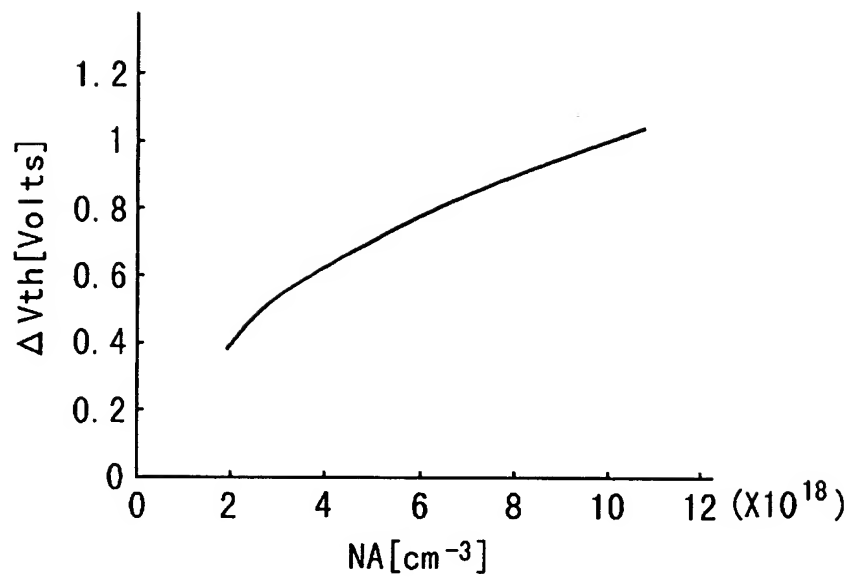
【図 3 1】



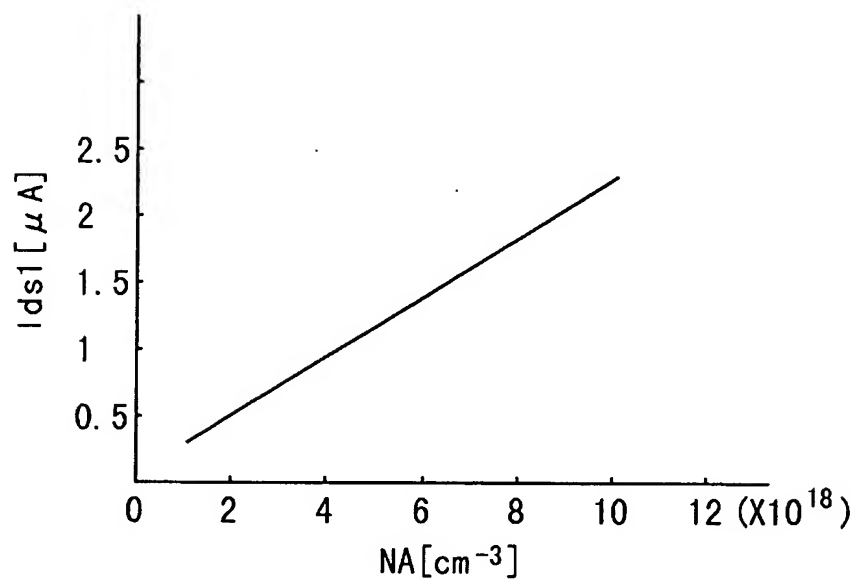
【図 3 2】



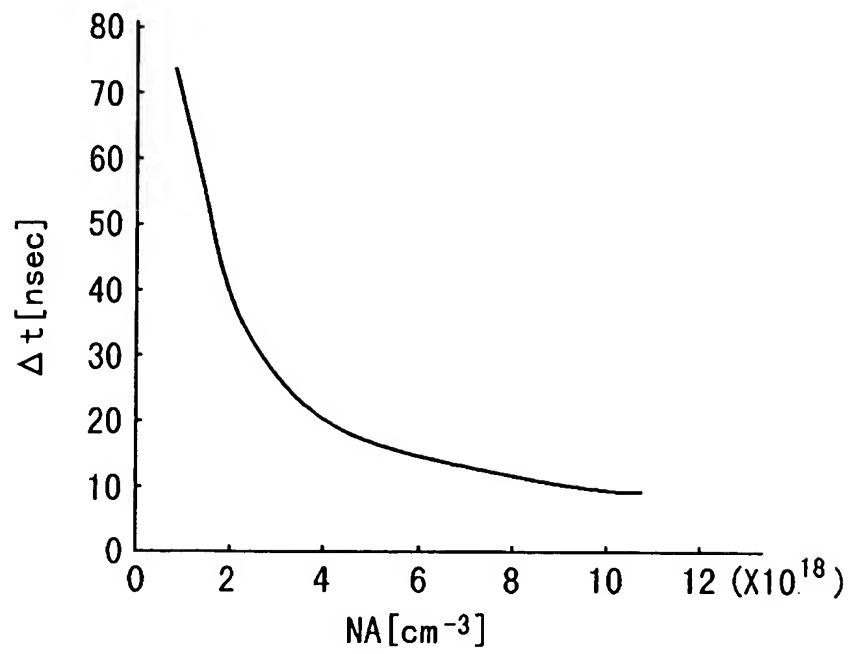
【図 3 3】



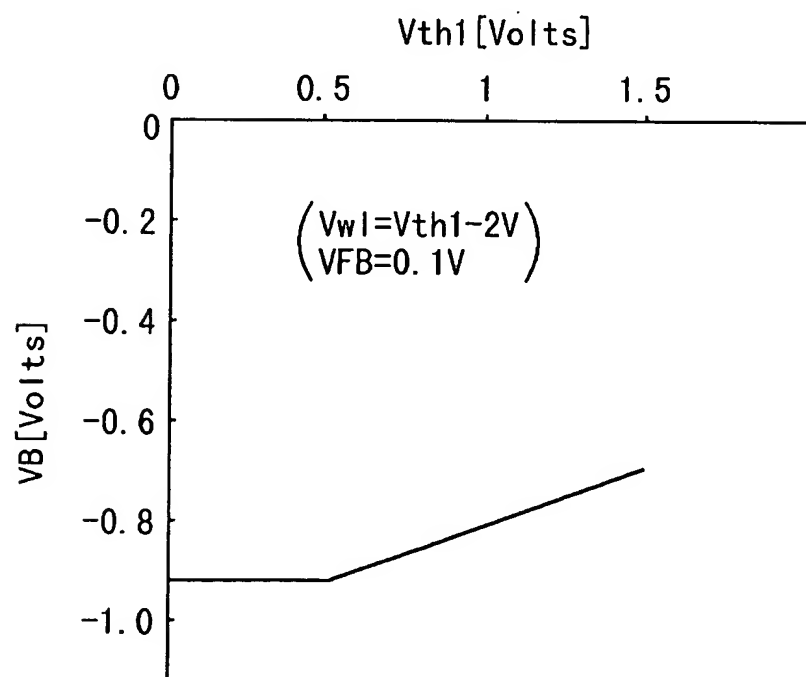
【図 3 4】



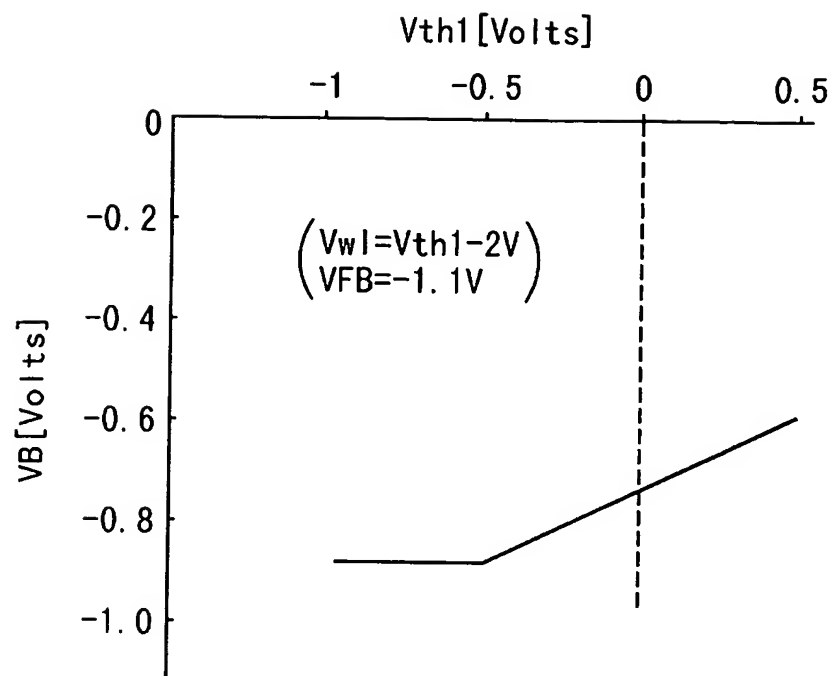
【图 3 5】



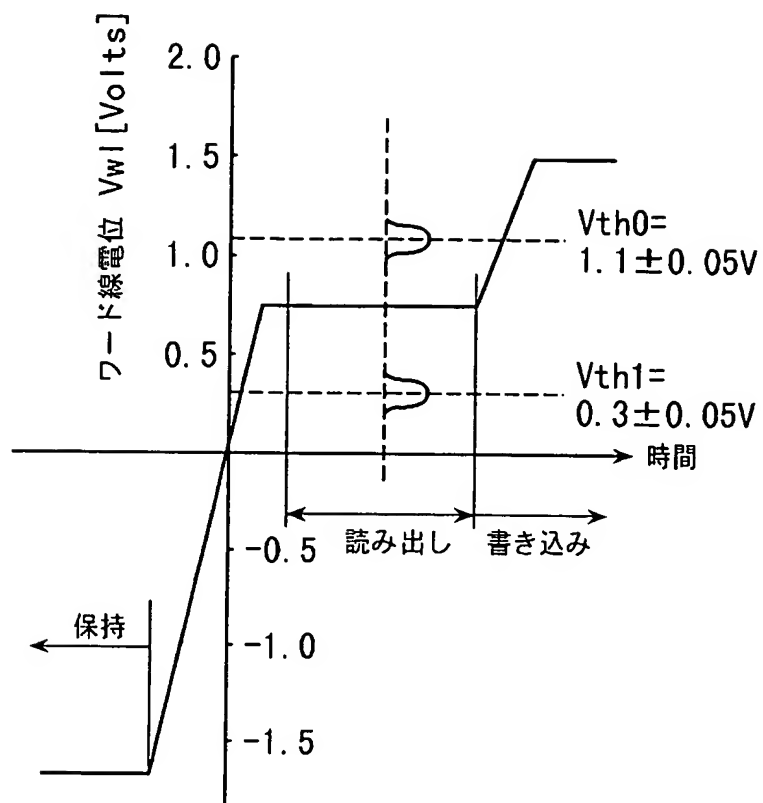
【图 3 6】



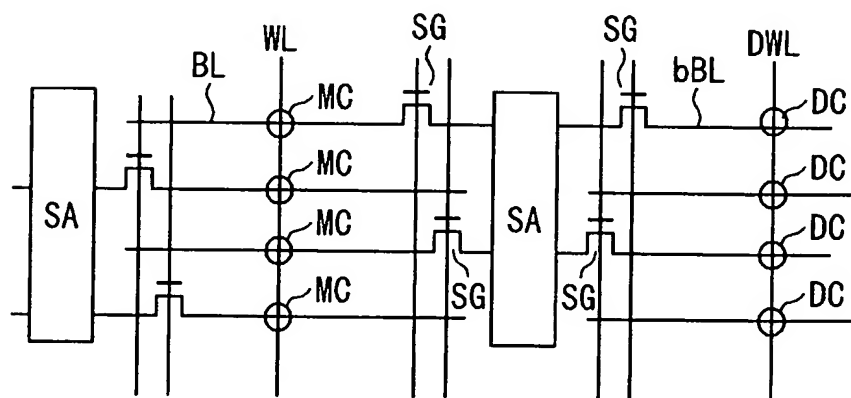
【图 3 7】



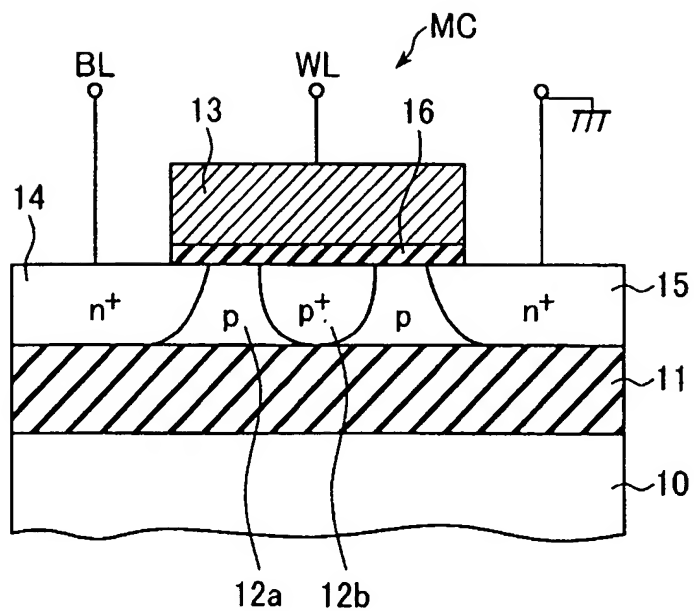
【図 3 8】



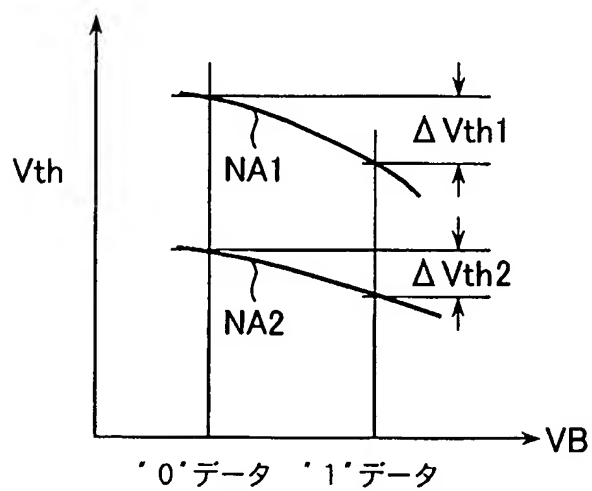
【図 3 9】



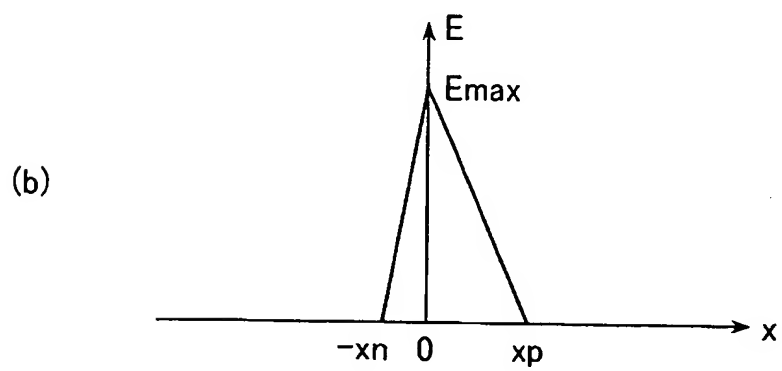
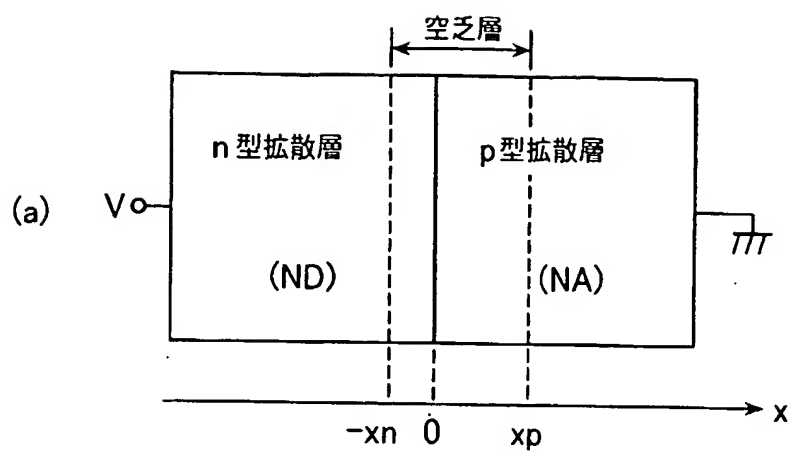
【図 4 0】



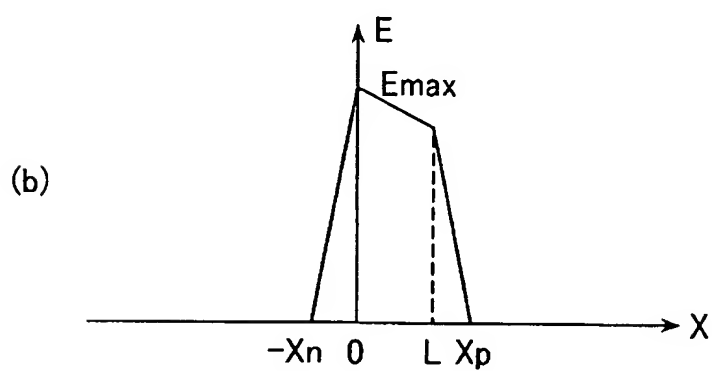
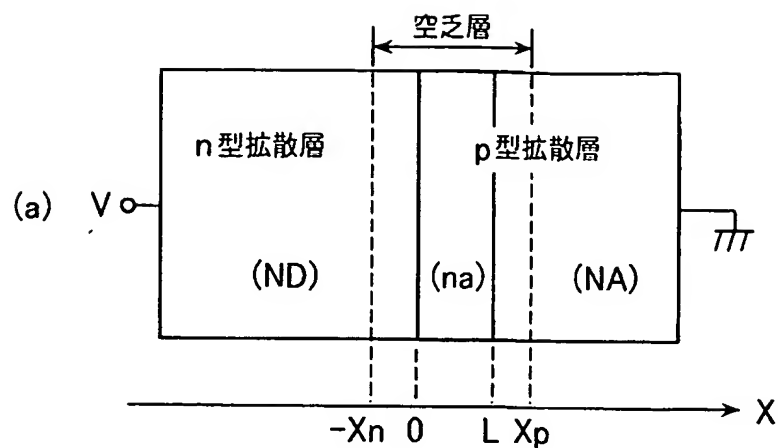
【図 4 1】



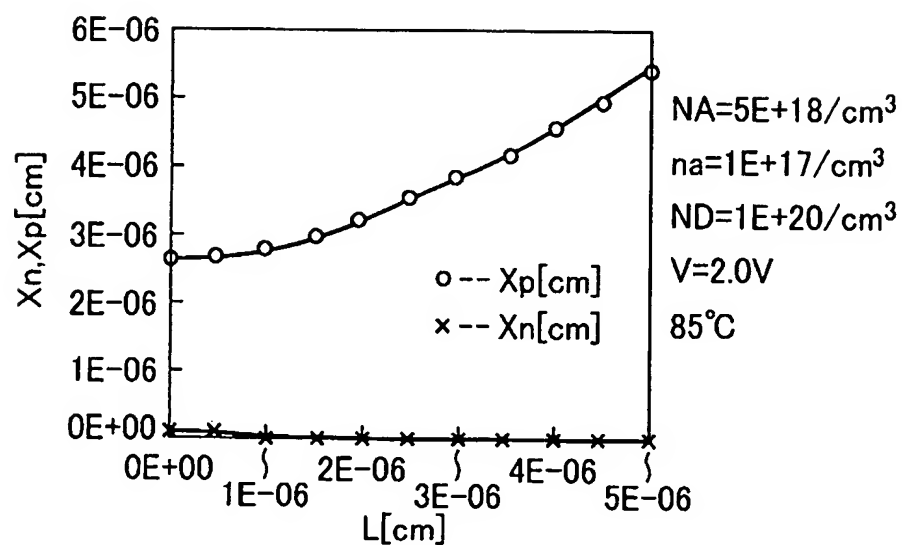
【图 4 2】



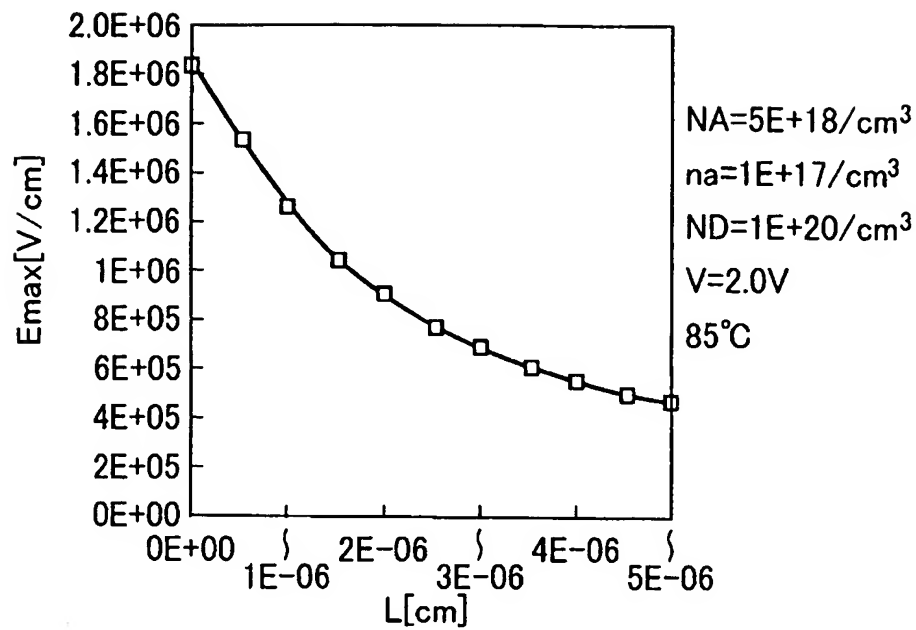
【图 4 3】



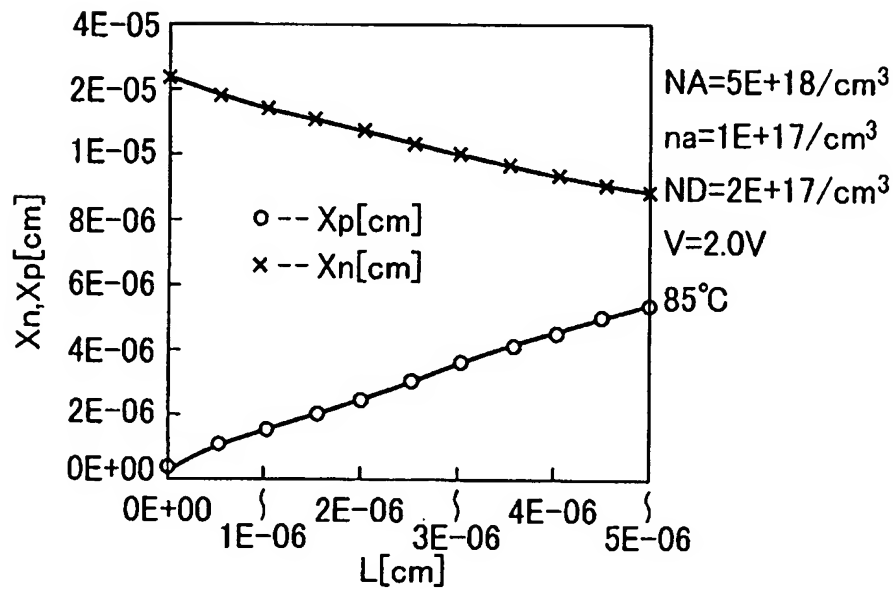
【图 4 4】



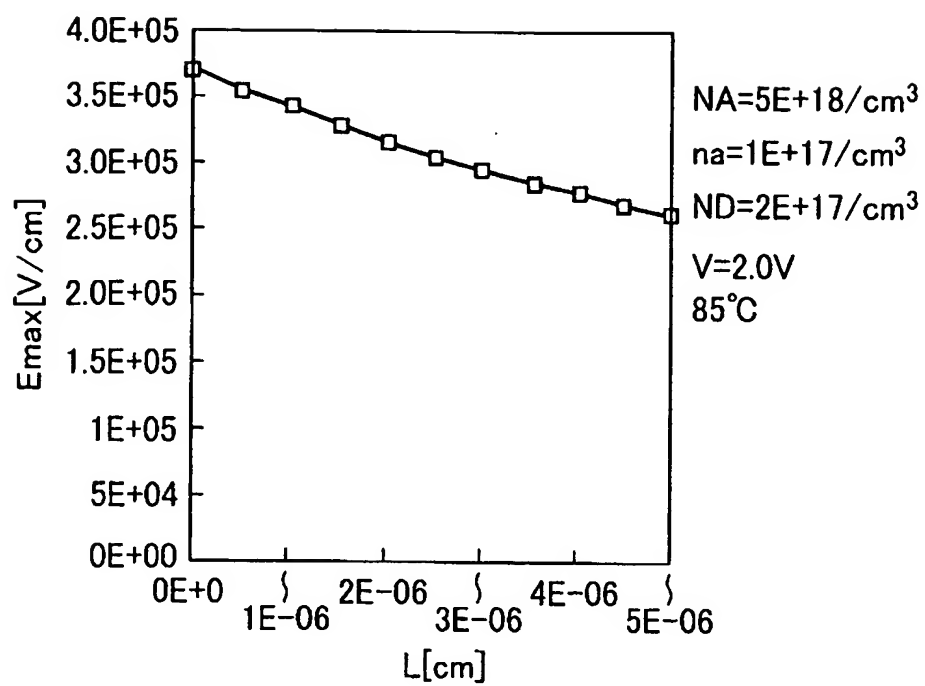
【図 4 5】



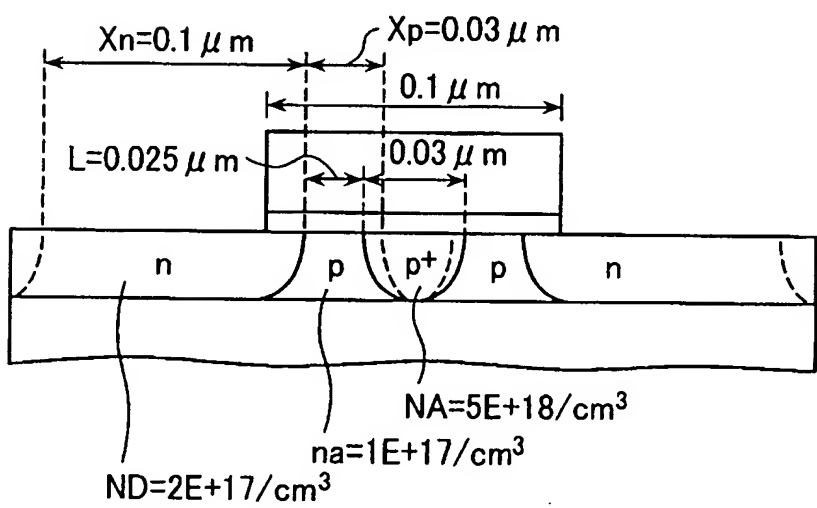
【図 4 6】



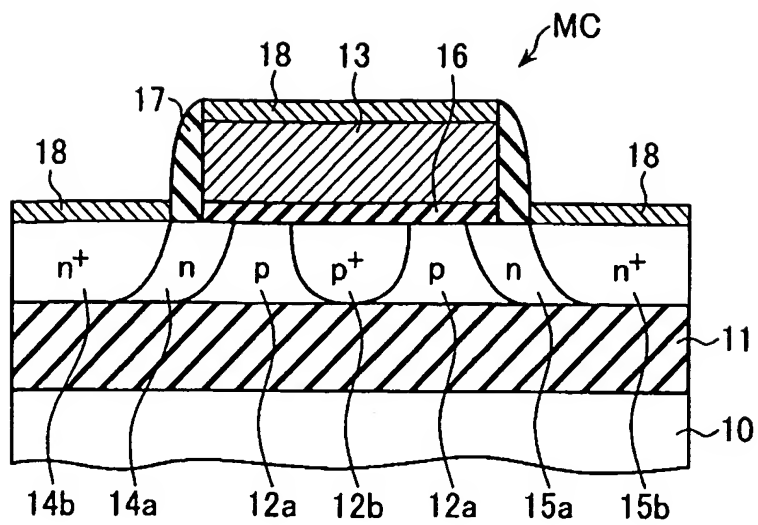
【図 4 7】



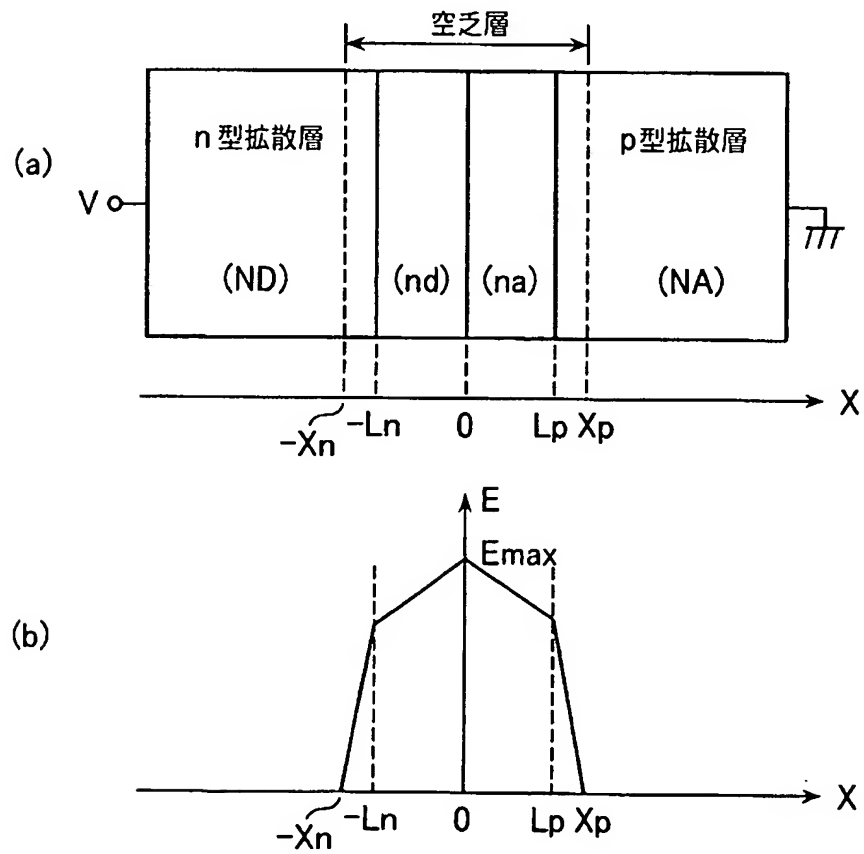
【図 4 8】



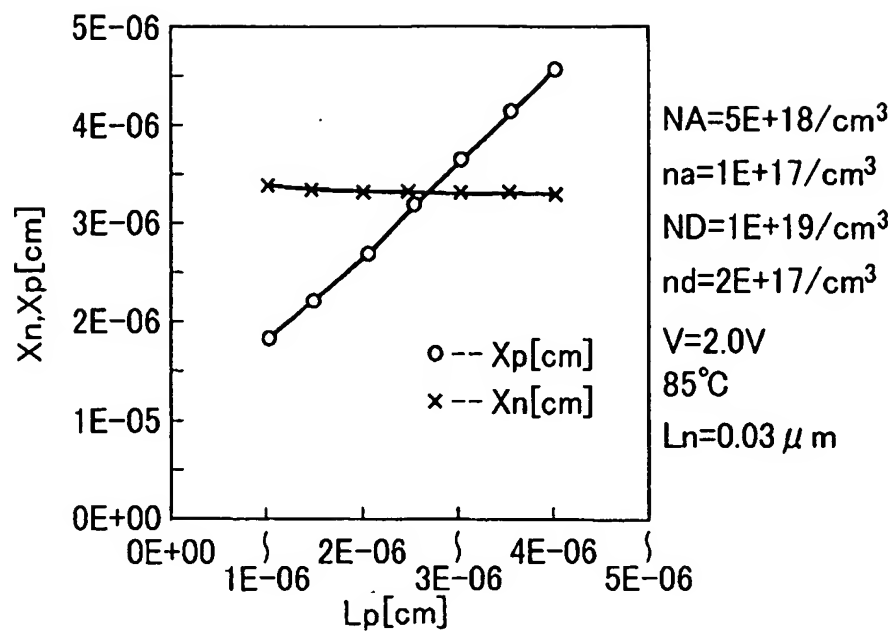
【圖 4 9】



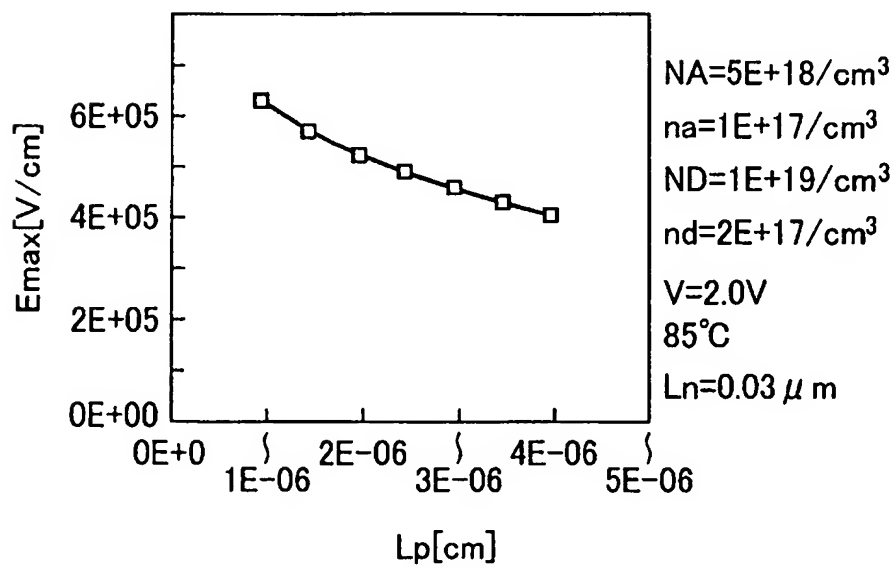
【圖 5 0】



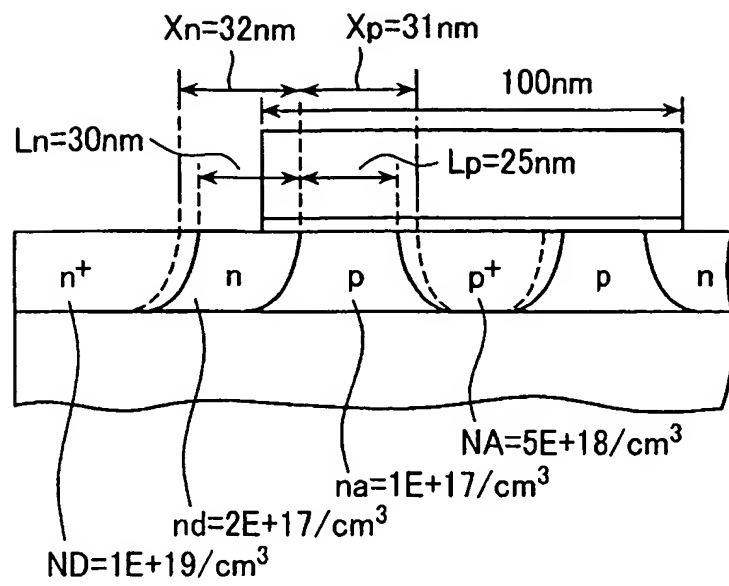
【图 5 1】



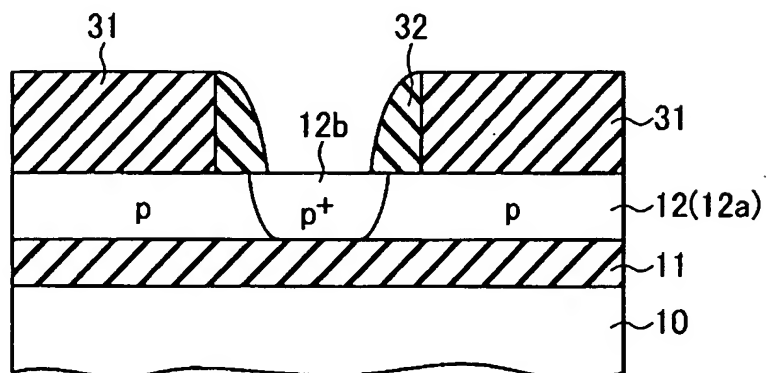
【图 5 2】



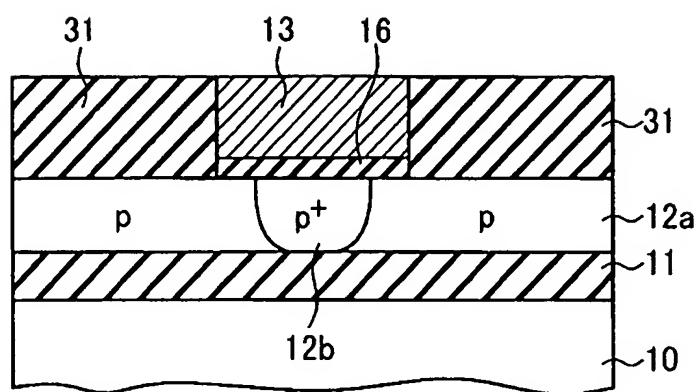
【図 5 3】



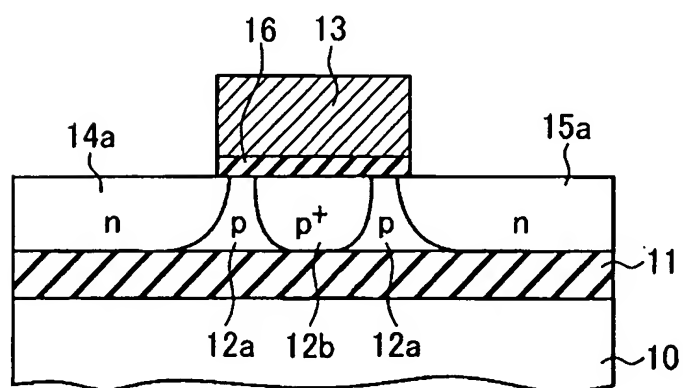
【図 5 4】



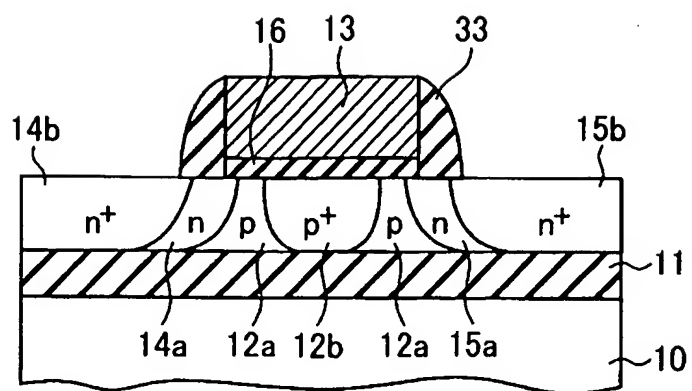
【図 5 5】



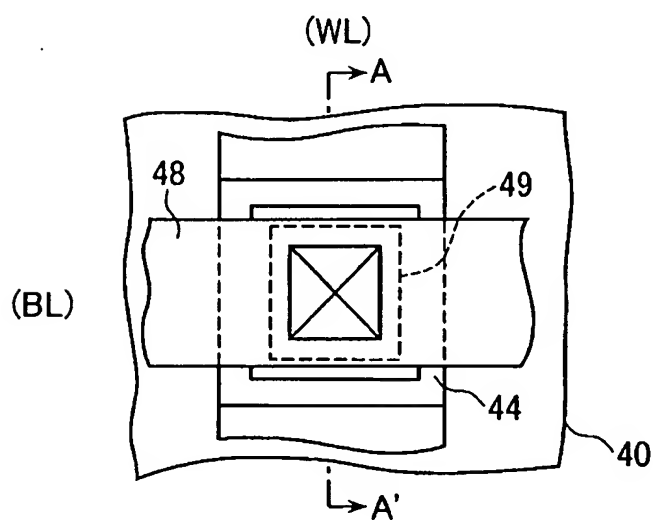
【図 5 6】



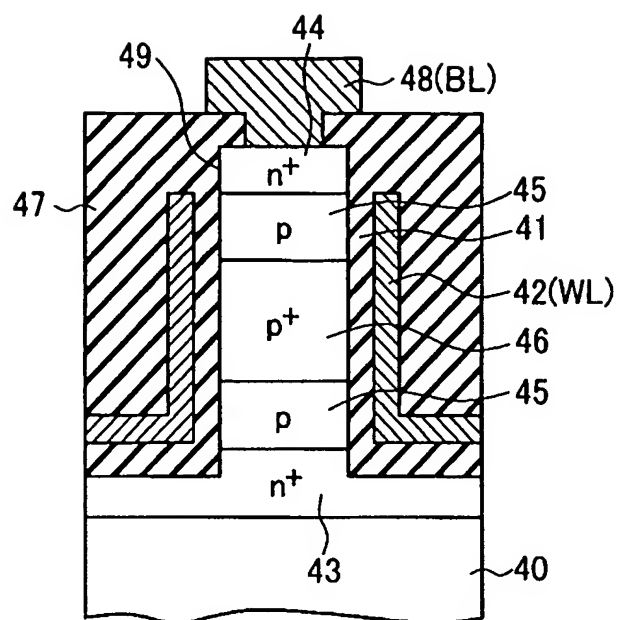
【図 57】



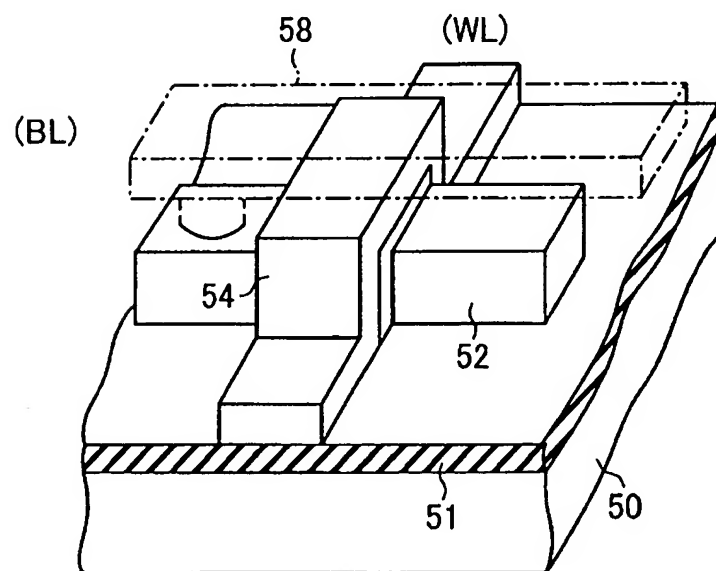
【図 58 A】



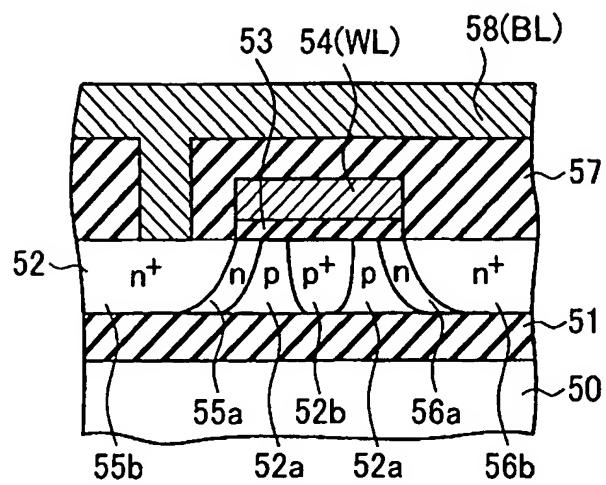
【図 58 B】



【図 59 A】



【図 5 9 B】



【書類名】 要約書

【要約】

【課題】 単純なトランジスタ構造をメモリセルとして、少ない信号線で二値データのダイナミック記憶を可能とした半導体メモリ装置を提供する。

【解決手段】 1ビットのメモリセルMCが、SOI構造のp型シリコン層12からなる、他から電氣的に分離されたフローティングのバルク領域を持つ一つのMOSトランジスタにより構成され、MOSトランジスタのゲート電極13がワード線WLに、ドレイン拡散層14がビット線BLに、ソース拡散層15が固定電位線にそれぞれ接続され、MOSトランジスタのバルク領域12にインバクトイオン化により生成した多数キャリアを注入して保持した第1のしきい値状態と、MOSトランジスタのバルク領域12の多数キャリアをドレイン側のpn接合の順方向バイアスにより放出した第2のしきい値状態とを二値データとして記憶する。

【選択図】 図1

出願人履歴

0 0 0 0 0 3 0 7 8

19900822

新規登録

5 9 9 1 3 7 0 1 3

神奈川県川崎市幸区堀川町7-2番地

株式会社東芝

0 0 0 0 0 3 0 7 8

20010702

住所変更

5 9 9 1 3 7 0 1 3

東京都港区芝浦一丁目1番1号

株式会社東芝